

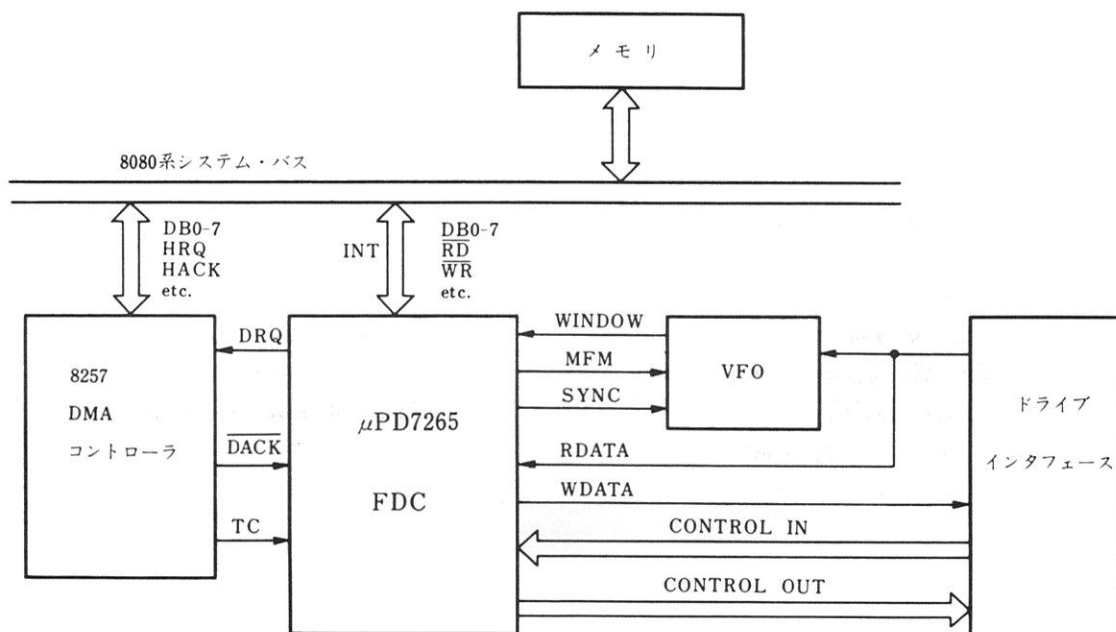
プログラマブル・フロッピー・ディスク・コントローラ

■ECMA/ISOフォーマット・ミニフロッピー制御可能

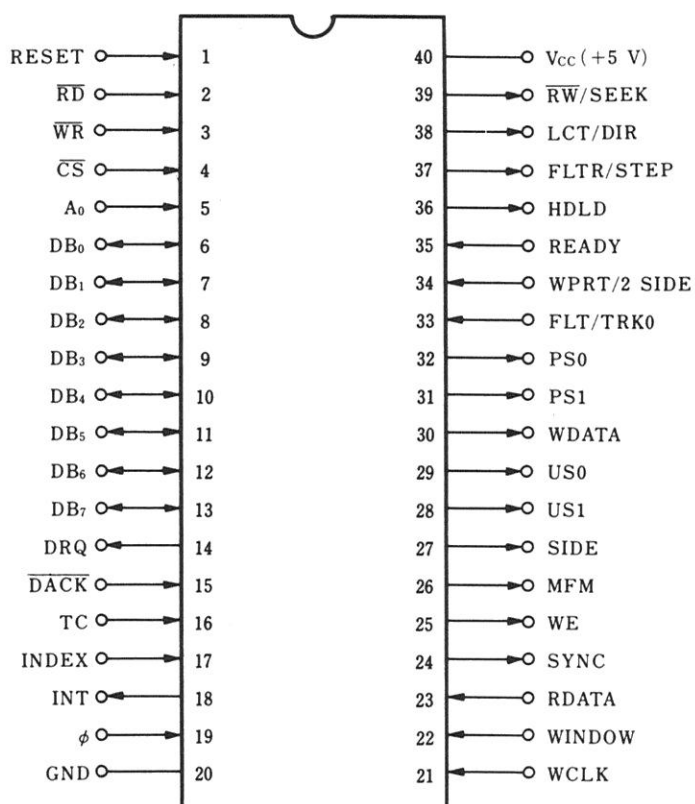
特 徴

- FM, MFM制御 (コマンドで指定)
- ECMA/ISO ミニフロッピー・フォーマット・コンパチブル
 - ・ ECMA66(ISO/TC 97/SC11 N419)…片面単密度 (256バイト/セクタ)
 - ・ ECMA70(ISO/TC 97/SC11 N475)…両面倍密度 (256バイト/セクタ)
- 記録長は可変, 128, 256, 512, 1024, 2048, 4096, 8192バイト/セクタ
- マルチ・セクタ機能
- マルチ・トラック機能
- ドライブは4台まで接続可能
- 部分リード/ライト機能 (128バイト/セクタのみ)
- CRC発生, チェック機能内蔵 ($X^{16}+X^{12}+X^5+1$)
- ステップ速度プログラマブル
- ヘッドロード時間, ヘッドアンロード時間プログラマブル
- データ・スキャン機能 (一致, 大, 小の検出)
- 255トラックまでリキャリブレート可能
- DMA/NON DMAデータ転送
- シーク動作 (同時に4台まで可能)
- ライト補正用制御信号発生
- 8080系データ, 制御バス・コンパチブル
- 1相クロック
 - ・ 8 MHz(標準フロッピー・ディスク)
 - ・ 4 MHz(ミニフロッピー・ディスク)
- NチャネルMOS
- 単電源 +5V
- 40ピン・プラスチックDIP(600 mil)

★

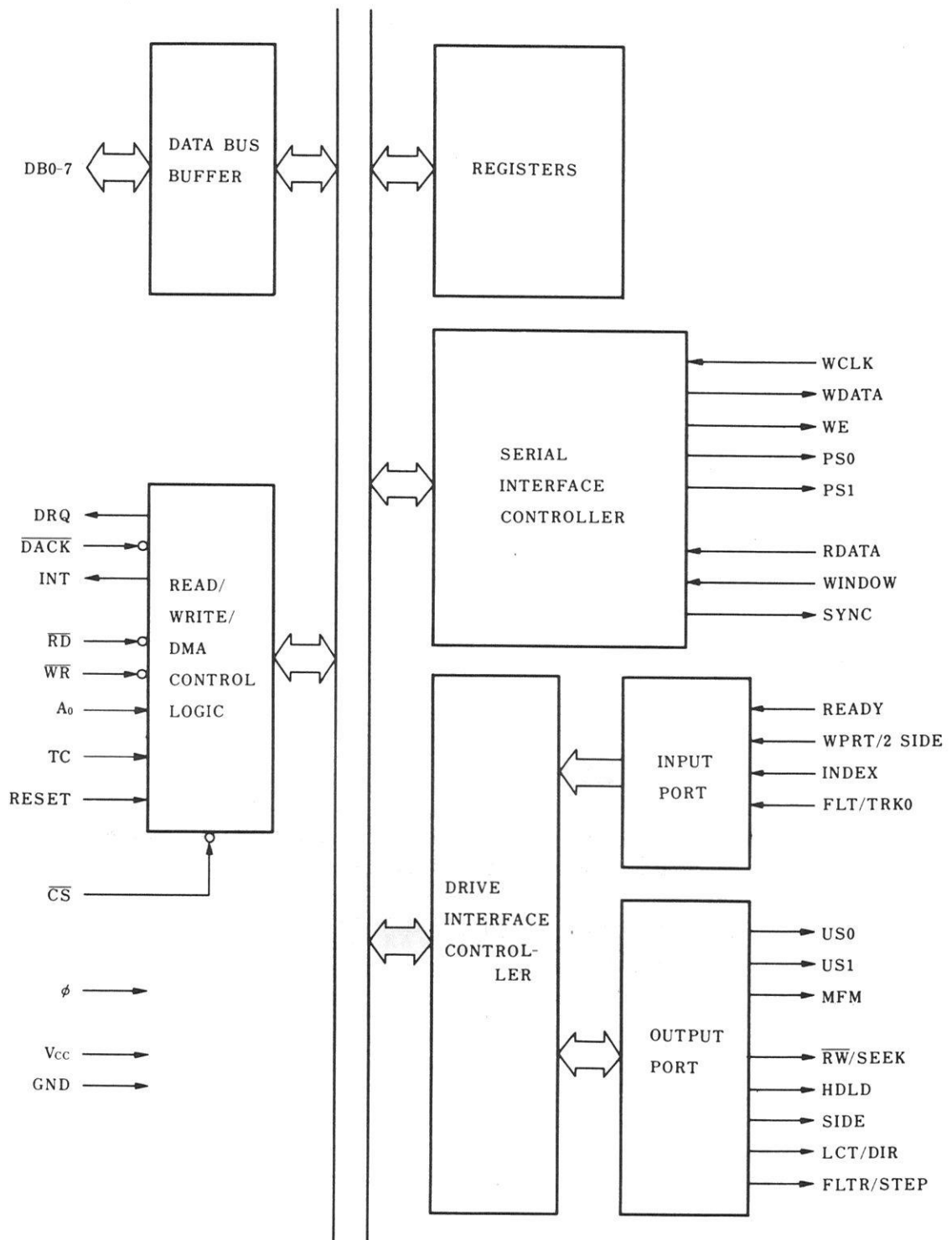


端子接続図 (Top View)



RESET : Reset	MFM : MFM Mode
$\overline{RD}$: Read	SIDE : Side Select
$\overline{WR}$: Write	US0,1 : Unit Select
$\overline{CS}$: Chip Select	WDATA : Write Data
A_0 : A_0	PS0,1 : Pre-Shift
$DB_0 \sim 7$: Data Bus	FLT : Fault
DRQ : DMA Request	TRK0 : Track 0
$\overline{DACK}$: DMA Acknowledge	WPRT : Write Protected
TC : Terminal Count	2SIDE : Two Side
INDEX : Index	READY : Ready
INT : Interrupt Request	HDLD : Head Load
ϕ : Clock	FLTR : Fault Reset
GND : Ground	STEP : Step
WCLK : Write Clock	LCT : Low Current
WINDOW : Data Window	DIR : Direction
RDATA : Read Data	$\overline{RW}/SEEK$: Read Write/Seek
SYNC : VFO Synchronize	
WE : Write Enable	

ブロック図



端子機能

端子名	I/O	機能	リセット時の状態
RESET	I	FDCをアイドル状態にします。 ・ドライブ・インタフェース出力はPS 0, 1とWDATA(不定)を除いてロウにします。 ・メイン・システム側はINT, DRQをロウとし、DB ₇ ~DB ₀ を入力状態にします。	—
$\overline{\text{RD}}$	I	メイン・システムがFDCからデータ・バスへベータを讀出するための制御信号です。	
$\overline{\text{WR}}$	I	メイン・システムがデータ・バスのデータをFDCへ書込むための制御信号です。	
$\overline{\text{CS}}$	I	$\overline{\text{RD}}$, $\overline{\text{WR}}$ 信号を有効にします。	
A ₀	I	アドレス・バスを介してFDC内部のステータス・レジスタまたはデータ・レジスタを選択するための信号です。0のときステータス・レジスタ, 1のときデータ・レジスタを選択します。	
DB ₇ ~DB ₀	I/O	双方向3ステートのデータ・バスです。	入力
DRQ	O	DMAモードでのデータ転送要求信号です。プルアップ抵抗を必要とします。	ロウ
$\overline{\text{DACK}}$	I	DMAサイクルの許可信号です。	—
TC	I	データ転送の終了指示信号です。	
INDEX	I	ドライブのリード/ライト・ヘッドがメディア上のトラックの物理的開始点に位置することを示す信号です。	
INT	O	メイン・システムに対して転送データや実行結果の処理を要求する信号です。	ロウ
ϕ	I	単相, TTLレベル・クロックでプルアップ抵抗を必要とします。 標準フロッピィ : 8 MHz, ミニフロッピィ : 4 MHz	—
WCLK	I	ライト時の転送データのタイミング信号です。ただしリード時にも入力しておく必要があります。立上りを ϕ の立上りに同期させてください FM : 16 ϕ_{CY} , MFM : 8 ϕ_{CY} (ϕ_{CY} : ϕ 入力の周期)	
WINDOW	I	VFO回路で生成する信号で, RDATAのクロック・ビットとデータ・ビットをサンプルするために使用します。クロック・ビットかデータ・ビットかの判断はFDC内部で行ないます。	

端子名	I/O	機能	リセット時の状態																			
RDATA	I	ドライブからの読出しデータで、クロック・ビットとデータ・ビットで構成されている信号です。読込み時にWINDOWとRDATAが、共に入力されないとデッドロック状態になります。	—																			
SYNC	O	FDCの動作モードを表示する信号です。1のときリード動作中であり、0のときリード動作を禁止しています。	ロウ																			
WE	O	ドライブに対して書込みを指示する信号です。																				
MFМ	O	VFO回路の動作モードを指定する信号です。1のときMFМモード、0のときFMモードです。																				
SIDE	O	両面型ドライブのヘッド0, 1を選択する信号です。0のときヘッド0, 1のときヘッド1を選択します。																				
US 0, 1	O	ドライブ選択信号です。これらをデコードして4台のFDDを選択します。																				
WDATA	O	ドライブへの書込みデータで、クロック・ビットとデータ・ビットで構成します。	不定																			
PS 0, 1	O	MFМモードで書込むときに生じるピーク・シフトを相殺する目的で、あらかじめWDATAのビットを予想されるピーク・シフトとは逆方向にシフトさせるための指示信号です。 <table border="1" data-bbox="595 1115 1163 1330"> <tr> <th>PS 0</th><th>PS 1</th><th>FM</th><th>MFМ</th></tr> <tr> <td>0</td><td>0</td><td>シフトさせない</td><td>シフトさせない</td></tr> <tr> <td>0</td><td>1</td><td>—</td><td>遅らせる</td></tr> <tr> <td>1</td><td>0</td><td>—</td><td>進ませる</td></tr> <tr> <td>1</td><td>1</td><td>—</td><td>—</td></tr> </table>		PS 0	PS 1	FM	MFМ	0	0	シフトさせない	シフトさせない	0	1	—	遅らせる	1	0	—	進ませる	1	1	—
PS 0	PS 1	FM	MFМ																			
0	0	シフトさせない	シフトさせない																			
0	1	—	遅らせる																			
1	0	—	進ませる																			
1	1	—	—																			
FLT/TRK 0	I	$\overline{RW}$ /SEEK信号が、 $\overline{RW}$ を指定しているときはFLTとなり、ドライブのFAULT状態であるかどうかを示す信号を入力します。 $\overline{RW}$ /SEEK信号が、SEEKを指定しているときはTRK 0となり、ドライブのリード/ライト・ヘッドがシリンダ0に位置するかどうかを示す信号を入力します。	—																			
WPRT/2SIDE	I	$\overline{RW}$ /SEEK信号が、 $\overline{RW}$ を指定しているときはWPRTとなり、メディアが書込み禁止状態であるかどうかを示す信号を入力します。 $\overline{RW}$ /SEEK信号がSEEKを指定しているときは2SIDEとなり、両面用のメディアが入っているかどうかを示す信号を入力します。																				
READY	I	ドライブがレディ状態であることを示す信号です。																				

端子名	I/O	機能	リセット時の状態
HDLD	O	ドライブのリード/ライト・ヘッドをロード状態にする信号です。	ロウ
FLTR/STEP	O	$\overline{RW}$ /SEEK信号が $\overline{RW}$ を指定しているときはFLTRとなり、ドライブのFAULT状態を解除します。 $\overline{RW}$ /SEEK信号がSEEKを指定しているときはSTEPとなり、シーク・パルスが発生します。	
LCT/DIR	O	$\overline{RW}$ /SEEK信号が $\overline{RW}$ を指示しているときはLCTとなり、ドライブのリード/ライト・ヘッドが43番目以降のシリンダを選択していることを示します。 $\overline{RW}$ /SEEK信号がSEEKを指定しているときはDIRとなり、シーク動作の方向を指定します。0のとき遠心方向、1のとき求心方向を指定します。	
$\overline{RW}$ /SEEK	O	ドライブ・インタフェース信号の内、リード/ライト用とシーク用を兼用している信号を区別する信号です。0のとき $\overline{RW}$ 、1のときSEEKを示します。	
V _{CC}	—	+5V電源	—
GND	—	Ground	

コマンド

FDCには次に示す強力なコマンドが用意されており、CPUからそれらのコマンド実行指示を受けて、フロッピー・ディスクを制御します。

READ DATA
WRITE DATA
WRITE DELETED DATA
READ DIAGNOSTIC
READ ID
WRITE ID
READ DELETED DATA
SCAN EQUAL
SCAN LOW OR EQUAL
SCAN HIGH OR EQUAL
SEEK
RECALIBRATE
SENSE INTERRUPT STATUS
SPECIFY
SENSE DEVICE STATUS

μ PD7265と μ PD765Aの違い

μ PD7265は、より多くの記憶容量が望まれる分野、とりわけミニフロッピー・ディスク分野でのECMA*/ISO**フォーマット・コンパチブルな制御を可能としたもので、 μ PD765Aと以下の点で異なっているほかは、全く同一の機能を有し、コマンドについても全く同一です。

1) Index pulse部分のフォーマット

データ記憶容量を上げるために、Index pulse検出後のギャップ (GAP) およびインデックス・アドレス・マーク (IAM) をIBMフォーマット (μ PD765A) から取除いたものが μ PD7265のフォーマットで、ECMA/ISOミニフロッピー・フォーマットとコンパチブルです。

2) Index pulse検出後の読飛ばし時間

上記フォーマットの違いから、読飛ばし時間が μ PD765Aの約1.2 msに比べて、 μ PD7265は約0.2 msに短縮されています(数値はミニフロッピー用4 MHz動作時の値です)。

3) リキャリブレート可能なトラック数

μ PD765A……………77トラックまで

μ PD7265……………255トラックまで

* : European Computer Manufacturers Association

** : International Organization for Standardization

トラック・フォーマット (FM)

μPD765A

GAP4a 40x "FF"	SYNC 6x "00"	IAM "FC"	GAP1 26x "FF"	SYNC 6x "00"	IDAM "FE"	C	H	R	N	C	GAP2 11x "FF"	SYNC 6x "00"	DATA AM "FB" or "F8"	DATA * 1	C	GAP3 * 1	GAP4b
----------------------	--------------------	-------------	---------------------	--------------------	--------------	---	---	---	---	---	---------------------	--------------------	-------------------------	-------------	---	-------------	-------

Index

repeat N times

μPD7265

GAP1 16x "FF"	SYNC 6x "00"	IDAM "FE"	C	H	R	N	C	GAP2 11x "FF"	SYNC 6x "00"	DATA AM "FB" or "F8"	DATA * 1	C	GAP3 * 1	GAP4
---------------------	--------------------	--------------	---	---	---	---	---	---------------------	--------------------	-------------------------	-------------	---	-------------	------

Index

repeat N times

* 1 user programmable

トラック・フォーマット (MFM)

μPD765A

GAP4a 80x "4E"	SYNC 12x "00"	IAM		GAP1 50x "4E"	SYNC 12x "00"	IDAM		C	H	R	N	C	GAP2 22x "4E"	SYNC 12x "00"	DATA AM		DATA *1	C	GAP3 *1	GAP4b
		3x "C2"	"FC"			3x "A1"	"FE"								3x "A1"	"FB"				

Index

repeat N times

μPD7265

GAP1 32x "4E"	SYNC 12x "00"	IDAM		C	H	R	N	C	GAP2 22x "4E"	SYNC 12x "00"	DATA AM		DATA *1	C	GAP3 *1	GAP4
		3x "A1"	"FE"								3x "A1"	"FB"				

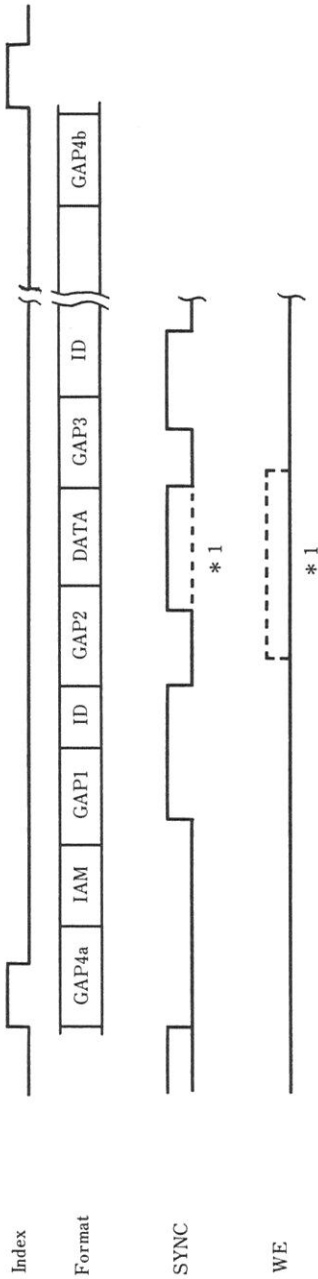
Index

repeat N times

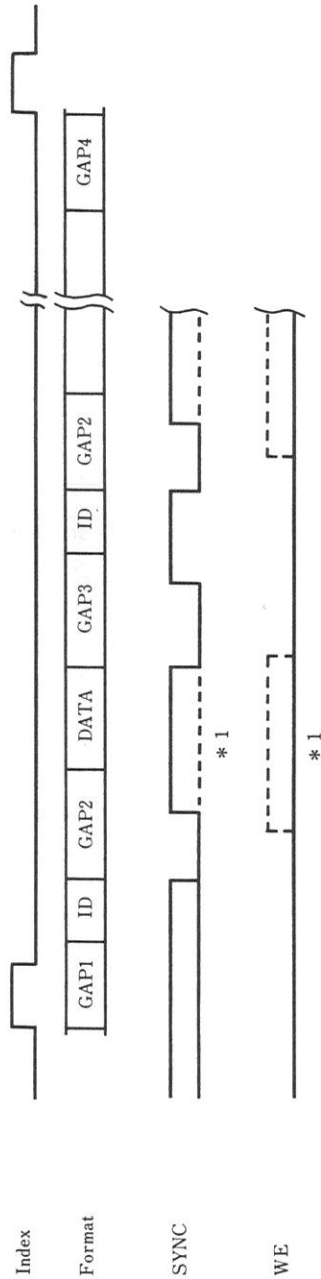
* 1 user programmable

SYNCとWE信号のタイミング例

μPD765A



μPD7265



* 1 read
Write

絶対最大定格 ($T_a = 25\text{ }^{\circ}\text{C}$)

項 目	略 号	条 件	定 格	単 位
全 端 子 電 圧			$-0.5 \sim +7$	V
動 作 温 度	T_{opt}		$-10 \sim +70$	$^{\circ}\text{C}$
保 存 温 度	T_{stg}		$-65 \sim +150$	$^{\circ}\text{C}$

DC特性 ($T_a = -10 \sim +70\text{ }^{\circ}\text{C}$, $V_{CC} = +5\text{ V} \pm 5\%$)

項 目	略 号	条 件	MIN.	MAX.	単 位
低レベル入力電圧	V_{IL}		-0.5	0.8	V
高レベル入力電圧	V_{IH}		2.0	$V_{CC} + 0.5$	V
低レベル入力電圧 (ϕ , WCLK)	$V_{IL\phi}$		-0.5	0.65	V
高レベル入力電圧 (ϕ , WCLK)	$V_{IH\phi}$		2.4	$V_{CC} + 0.5$	V
低レベル出力電圧	V_{OL}	$I_{OL} = 2.0\text{ mA}$		0.45	V
高レベル出力電圧	V_{OH}	$I_{OH} = -200\text{ }\mu\text{A}$	2.4	V_{CC}	V
低レベル入力リーク電流	I_{LIL}	$V_{IN} = 0\text{ V}$		-10	μA
高レベル入力リーク電流	I_{LIH}	$V_{IN} = V_{CC}$		+10	μA
低レベル出力リーク電流	I_{LOL}	$V_{OUT} = +0.45\text{ V}$		-10	μA
高レベル出力リーク電流	I_{LOH}	$V_{OUT} = V_{CC}$		+10	μA
V_{CC} 電 源 電 流	I_{CC}			150	mA

容 量 ($T_a = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
ク ロ ッ ク 容 量	C_{ϕ}	$f_c = 1\text{ MHz}$ 被測定端子以外は 0 V		20	pF
入 力 容 量	C_{IN}			10	pF
出 力 容 量	C_{OUT}			20	pF

AC特性 ($T_a = -10 \sim +70\text{ }^{\circ}\text{C}$, $V_{CC} = +5\text{ V} \pm 5\%$)

(1) 8 MHz動作(MFMデータ転送速度: 500Kbit/s)

メインシステム側:

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
クロック・サイクル・タイム	ϕ_{CY}		120	125	500	ns
クロック・ハイ/ロウ・レベル幅	ϕ_{θ}		40			ns
クロック立上り時間	ϕ_r				20	ns
クロック立下り時間	ϕ_f				20	ns
$A_0, \overline{CS}, \overline{DACK}$ セット時間(対 $\overline{RD}$)	t_{AR}		0			ns
$A_0, \overline{CS}, \overline{DACK}$ ホールド時間(対 $\overline{RD}$)	t_{RA}		0			ns
$\overline{RD}$ パルス幅	t_{RR}		250			ns
$\overline{RD} \downarrow \rightarrow$ データ・アクセス時間	t_{RD}				200	ns
$\overline{RD} \uparrow \rightarrow$ データ・フロート遅延時間	t_{DF}		20		100	ns
$A_0, \overline{CS}, \overline{DACK}$ セット時間(対 $\overline{WR}$)	t_{AW}		0			ns
$A_0, \overline{CS}, \overline{DACK}$ ホールド時間(対 $\overline{WR}$)	t_{WA}		0			ns
$\overline{WR}$ パルス幅	t_{WW}		250			ns
データ・セット時間(対 $\overline{WR}$)	t_{DW}		150			ns
データ・ホールド時間(対 $\overline{WR}$)	t_{WD}		5			ns
$\overline{RD} \uparrow \rightarrow$ INT遅延時間 * 1	t_{RI}				500	ns
$\overline{WR} \uparrow \rightarrow$ INT遅延時間 * 1	t_{WI}				500	ns
DRQサイクル時間	t_{MCY}	$\phi_{CY} = 125\text{ ns}$	13			μs
DRQ $\uparrow \rightarrow \overline{DACK} \downarrow$ 応答時間	t_{MA}	$\phi_{CY} = 125\text{ ns}$	200			ns
$\overline{DACK} \downarrow \rightarrow$ DRQ遅延時間	t_{AM}				200	ns
DRQ $\uparrow \rightarrow \overline{RD} \downarrow$ 応答時間	t_{MR}	$\phi_{CY} = 125\text{ ns}$	800			ns
DRQ $\uparrow \rightarrow \overline{WR} \downarrow$ 応答時間	t_{MW}		250			ns
DRQ $\uparrow \rightarrow \overline{WR}/\overline{RD}$ 応答時間	t_{MRW}				12	μs
TCパルス幅	t_{TC}		1			ϕ_{CY}
RESETパルス幅	t_{RST}		14			ϕ_{CY}

* 1: NON DMAモードにおけるデータ転送時。

ドライブ側：

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
WCLKサイクル時間	t _{CY}	MFM=0		2		μs
		MFM=1		1		μs
WCLKハイ・レベル幅	t _θ		80	250	350	ns
WCLK, RDATA, WINDOW立上り時間	t _r				20	ns
WCLK, RDATA, WINDOW立下り時間	t _f				20	ns
WCLK↑→PS0, 1	t _{CP}		20		100	ns
WCLK→WDATA	t _{CD}		20		100	ns
WCLK→WE	t _{CWE}		20		100	ns
WDATA幅	t _{WDD}		t _θ -50			ns
RDATAハイ・レベル幅	t _{RDD}		40			ns
WINDOWサイクル時間	t _{WCY}	MFM=0		2		μs
		MFM=1		1		μs
WINDOWセット時間 (対RDATA)	t _{WRD}		15			ns
WINDOWホールド時間 (対RDATA)	t _{RDW}		15			ns
US0, 1セット時間 (対SEEK)	t _{US}	φ _{CY} =125 ns * 1	12			μs
SEEKセット時間 (対DIR)	t _{SD}		7			μs
DIRセット時間 (対STEP)	t _{DST}		1			μs
US0, 1ホールド時間 (対STEP)	t _{STU}		5			μs
STEPハイ・レベル幅	t _{STP}		6	7		μs
FLTRハイ・レベル幅	t _{FR}		8		10	μs
US0, 1ホールド時間 (対SEEK)* 2	t _{SU}		15			μs
SEEKホールド時間 (対DIR)	t _{DS}		30			μs
DIRホールド時間 (対STEP)	t _{STD}		24			μs
STEPサイクル時間	t _{SC}		33			μs
INDEXハイ・レベル幅	t _{IDX}		4			φ _{CY}

* 1 : φ_{CY}=125 nsの条件におけるドライブ側規格は、MIN.値に対して-50 nsのバラツキがあります。

* 2 : あるデバイスがシーク動作中に、他のデバイスに対してSENSE DEVICE STATUS
コマンドを実行したとき。

(2) 4 MHz動作(MFMデータ転送速度: 250Kbit/s)

メインシステム側:

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
クロック・サイクル・タイム	ϕ_{CY}		240	250	500	ns
クロック・ハイ/ロウ・レベル幅	ϕ_{θ}		40			ns
クロック立上り時間	ϕ_r				20	ns
クロック立下り時間	ϕ_f				20	ns
$A_0, \overline{CS}, \overline{DACK}$ セット時間(対 $\overline{RD}$)	t_{AR}		0			ns
$A_0, \overline{CS}, \overline{DACK}$ ホールド時間(対 $\overline{RD}$)	t_{RA}		0			ns
$\overline{RD}$ パルス幅	t_{RR}		250			ns
$\overline{RD} \downarrow \rightarrow$ データ・アクセス時間	t_{RD}				200	ns
$\overline{RD} \uparrow \rightarrow$ データ・フロート遅延時間	t_{DF}		20		100	ns
$A_0, \overline{CS}, \overline{DACK}$ セット時間(対 $\overline{WR}$)	t_{AW}		0			ns
$A_0, \overline{CS}, \overline{DACK}$ ホールド時間(対 $\overline{WR}$)	t_{WA}		0			ns
$\overline{WR}$ パルス幅	t_{WW}		250			ns
データ・セット時間(対 $\overline{WR}$)	t_{DW}		150			ns
データ・ホールド時間(対 $\overline{WR}$)	t_{WD}		5			ns
$\overline{RD} \uparrow \rightarrow$ INT遅延時間 * 1	t_{RI}				500	ns
$\overline{WR} \uparrow \rightarrow$ INT遅延時間 * 1	t_{WI}				500	ns
DRQサイクル時間	t_{MCY}	$\phi_{CY} = 250 \text{ ns}$	26			μs
DRQ $\uparrow \rightarrow \overline{DACK} \downarrow$ 応答時間	t_{MA}	$\phi_{CY} = 250 \text{ ns}$	400			ns
$\overline{DACK} \downarrow \rightarrow$ DRQ遅延時間	t_{AM}				200	ns
$\overline{DACK}$ パルス幅	t_{AA}		2			ϕ_{CY}
DRQ $\uparrow \rightarrow \overline{RD} \downarrow$ 応答時間	t_{MR}	$\phi_{CY} = 250 \text{ ns}$	1.6			μs
DRQ $\uparrow \rightarrow \overline{WR} \downarrow$ 応答時間	t_{MW}		500			ns
DRQ $\uparrow \rightarrow \overline{WR}/\overline{RD}$ 応答時間	t_{MRW}				12	μs
TCパルス幅	t_{TC}		1			ϕ_{CY}
RESETパルス幅	t_{RST}		14			ϕ_{CY}

* 1 : NON DMAモードにおけるデータ転送時。

ドライブ側：

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
WCLKサイクル時間	t _{CY}	MFM=0		4		μs
		MFM=1		2		μs
WCLKハイ・レベル幅	t _θ		160	500	700	ns
WCLK, RDATA, WINDOW立上り時間	t _r				20	ns
WCLK, RDATA, WINDOW立下り時間	t _f				20	ns
WCLK↑→PS0, 1	t _{CP}		20		100	ns
WCLK→WDATA	t _{CD}		20		100	ns
WCLK→WE	t _{CWE}		20		100	ns
WDATA幅	t _{WDD}		t _θ -50			ns
RDATAハイ・レベル幅	t _{RDD}		40			ns
WINDOWサイクル時間	t _{WCY}	MFM=0		4		μs
		MFM=1		2		μs
WINDOWセット時間 (対RDATA)	t _{WRD}		15			ns
WINDOWホールド時間 (対RDATA)	t _{RDW}		15			ns
US0, 1セット時間 (対SEEK)	t _{US}	φ _{CY} = 250 ns * 1	24			μs
SEEKセット時間 (対DIR)	t _{SD}		14			μs
DIRセット時間 (対STEP)	t _{DST}		2			μs
US0, 1ホールド時間 (対STEP)	t _{STU}		10			μs
STEPハイ・レベル幅	t _{STP}		12	14	16	μs
FLTRハイ・レベル幅	t _{FR}		16		20	μs
US0, 1ホールド時間 (対SEEK)* 2	t _{SU}		30			μs
SEEKホールド時間 (対DIR)	t _{DS}		60			μs
DIRホールド時間 (対STEP)	t _{STD}		48			μs
STEPサイクル時間	t _{SC}		66			μs
INDEXハイ・レベル幅	t _{IDX}		4			φ _{CY}

* 1 : φ_{CY} = 250 nsの条件におけるドライブ側規格は、MIN.値に対して-50 nsのバラツキがあります。

* 2 : あるデバイスがシーク動作中に、他のデバイスに対してSENSE DEVICE STATUS
コマンドを実行したとき。

測定点

AC試験用データ入出力波形（クロックを除く）

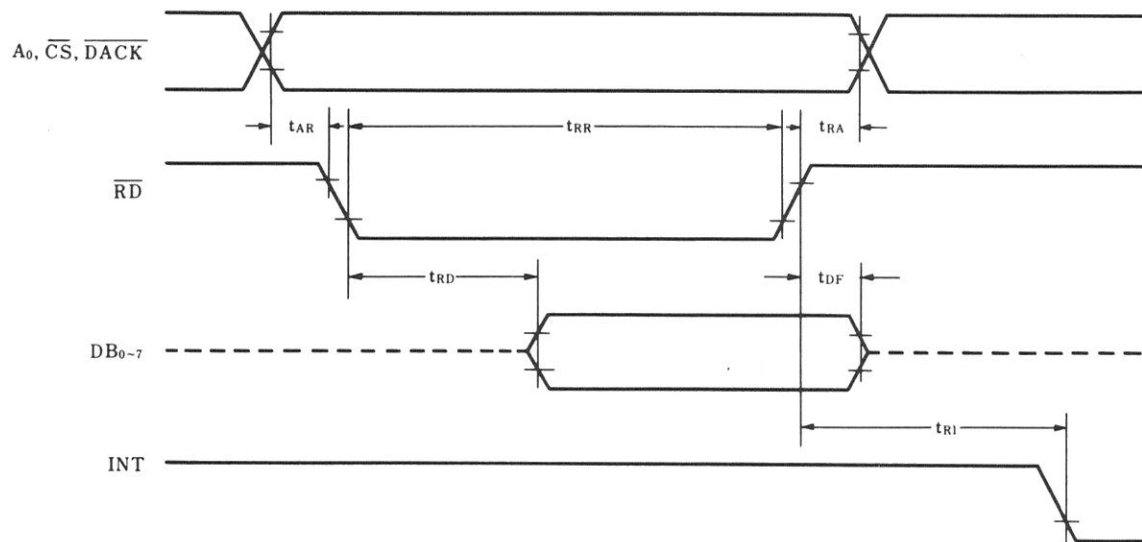
出力負荷条件：1 TTL+100 pF



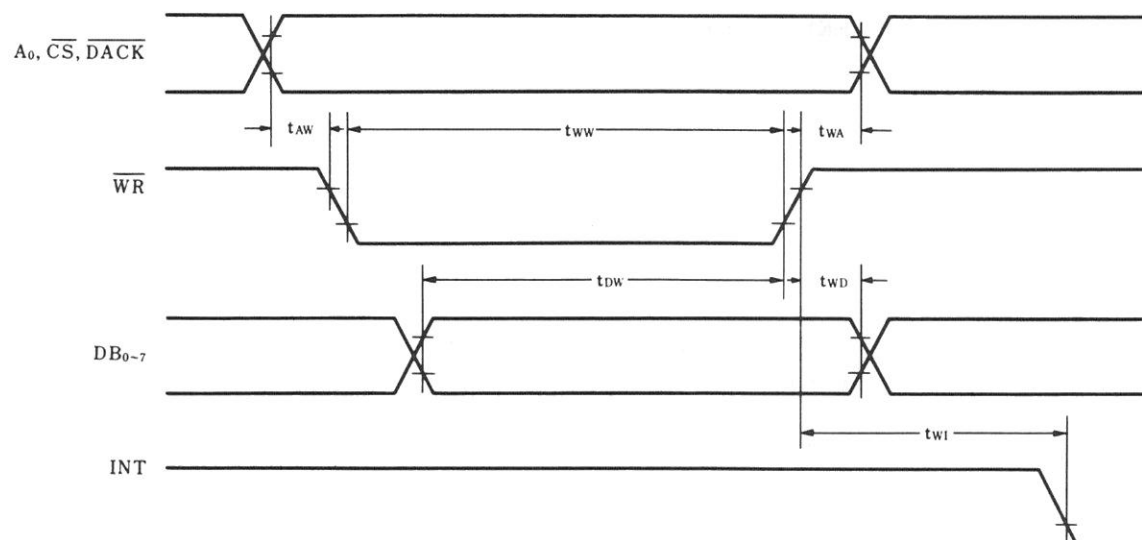
AC試験用クロック（ ϕ , WCLK）入力波形



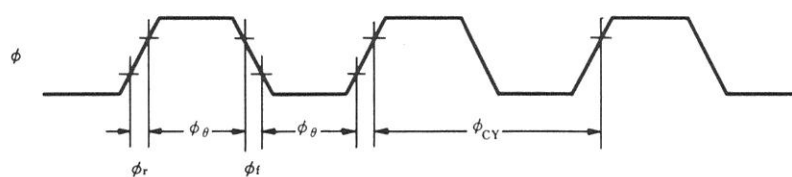
リード・オペレーション



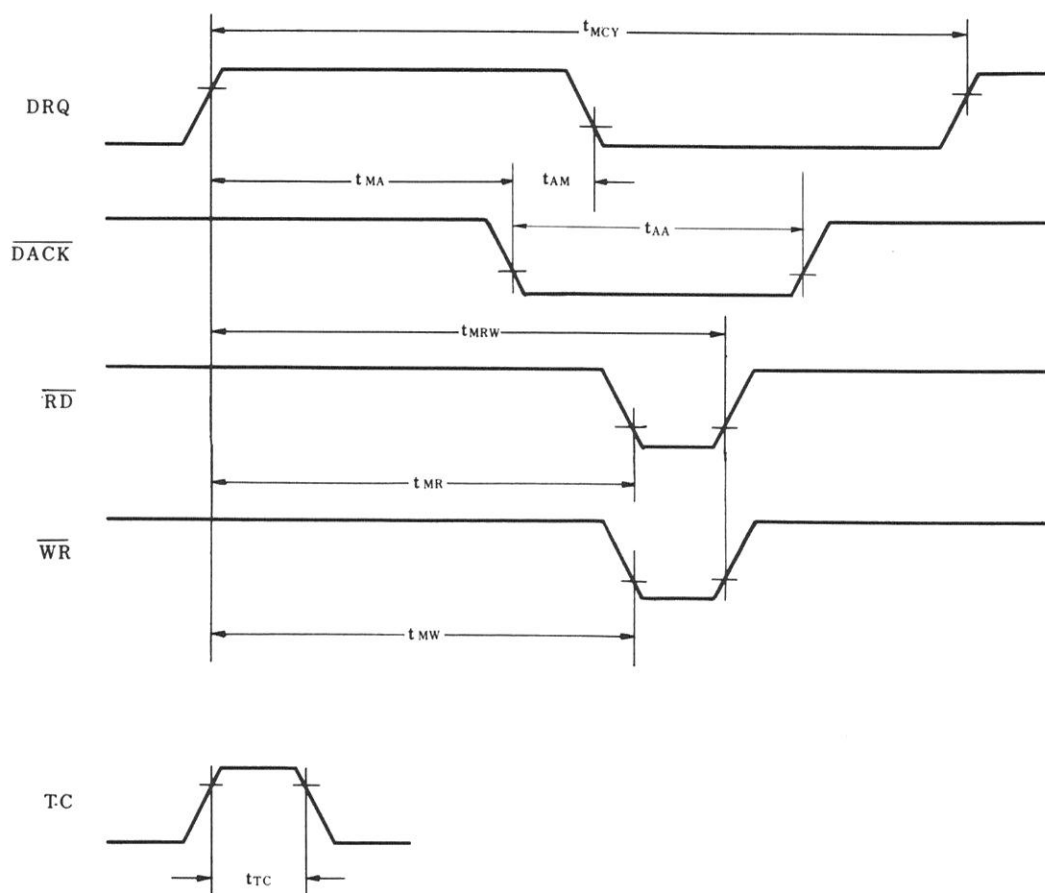
ライト・オペレーション



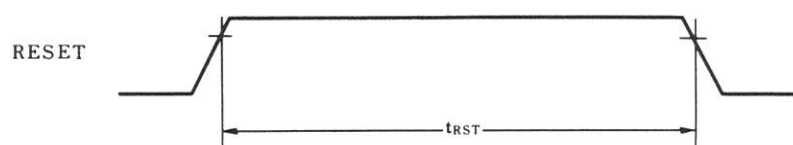
クロック波形



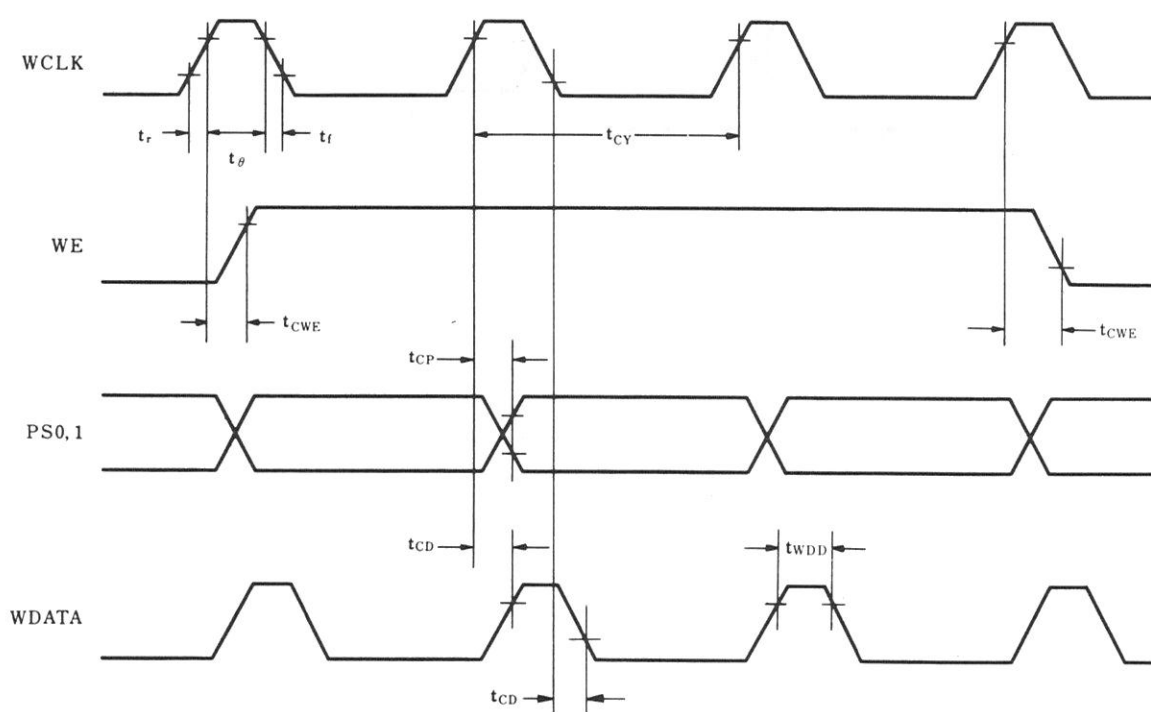
DMAオペレーション



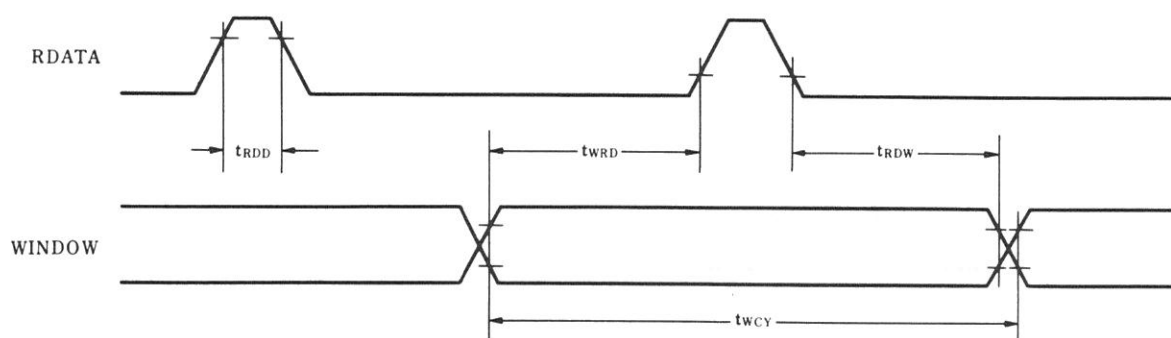
RESET波形



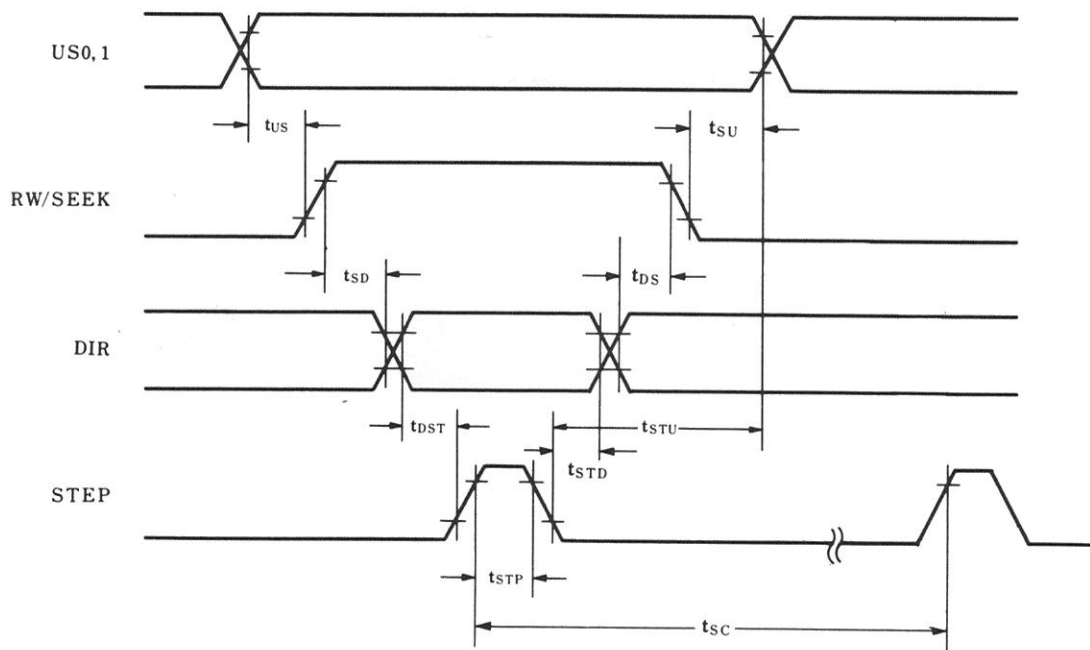
デバイス・ライト・オペレーション



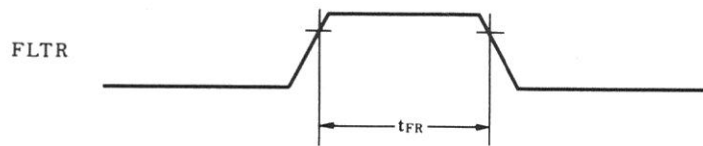
デバイス・リード・オペレーション



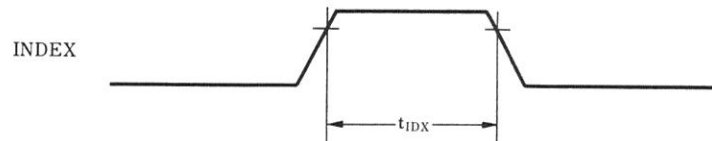
シーク・オペレーション



FLTR波形



INDEX波形



[illegible]