

ASSP 磁気ディスク用

BIPOLAR

VFO (FDD用)

MB4107 A

■概要

MB4107A は、フロッピーディスクインタフェースの VFO 方式のデータセパレータ用 IC です。

フロッピーディスクドライブからの回転速度変動やピークシフト等に起因するジッタを含んだリード信号を入力し、フロッピーディスクコントローラが処理可能なウィンドウ信号と、それに同期した再生リードデータ信号とに変換し出力します。

シンクフィールド検出および自動ループフィルタ切換え機能、マーク検出機能を有し、最小の外付部品で無調整な VFO 回路が構成できます。

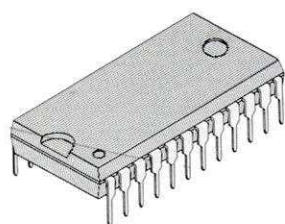
■特長

- ・アナログ方式の VFO 回路 (PLL 回路) により、データ分離機能での読み取りマージンが大きい。
- ・同一外付定数で 8 インチ / 5 インチのフロッピーディスクドライブ (FDD) へ接続可能です。
- ・倍密度 (MFM 変調方式)、単密度 (FM 変調方式) 両記録方式のデータ入力が可能です。
- ・フロッピーディスクコントローラ MB8876A/77A, FD1791, μ PD765 等各種 FDC へ接続可能です。
- ・ギャップフィールドとシンクフィールドとの識別機能を有しているため、ギャップ部での異常ロックを防止しています。
- ・シンクフィールドでのすみやかな同期機能 (High Gain) と、それに続く安定した追尾機能 (Low Gain) とが自動的に切替わります。
- ・シンクパターン検出回路 (データ "00", クロック "FF") および IBM フォーマットでのマーク検出回路により PLL 回路が最適なゲインで制御されているため、FDC からのコントロール信号なしに INDEX 部, ID 部, データ部でのロックが可能です。
- ・フロッピーディスクコントローラ用クロック出力を有しています。(8 インチ / 5 インチ切換え時のスパイク発生防止)

(続く)

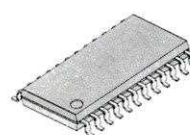
■パッケージ

プラスチック・DIP, 24ピン



(DIP-24P-M02)

プラスチック・SOP, 24ピン



(FPT-24P-M02)

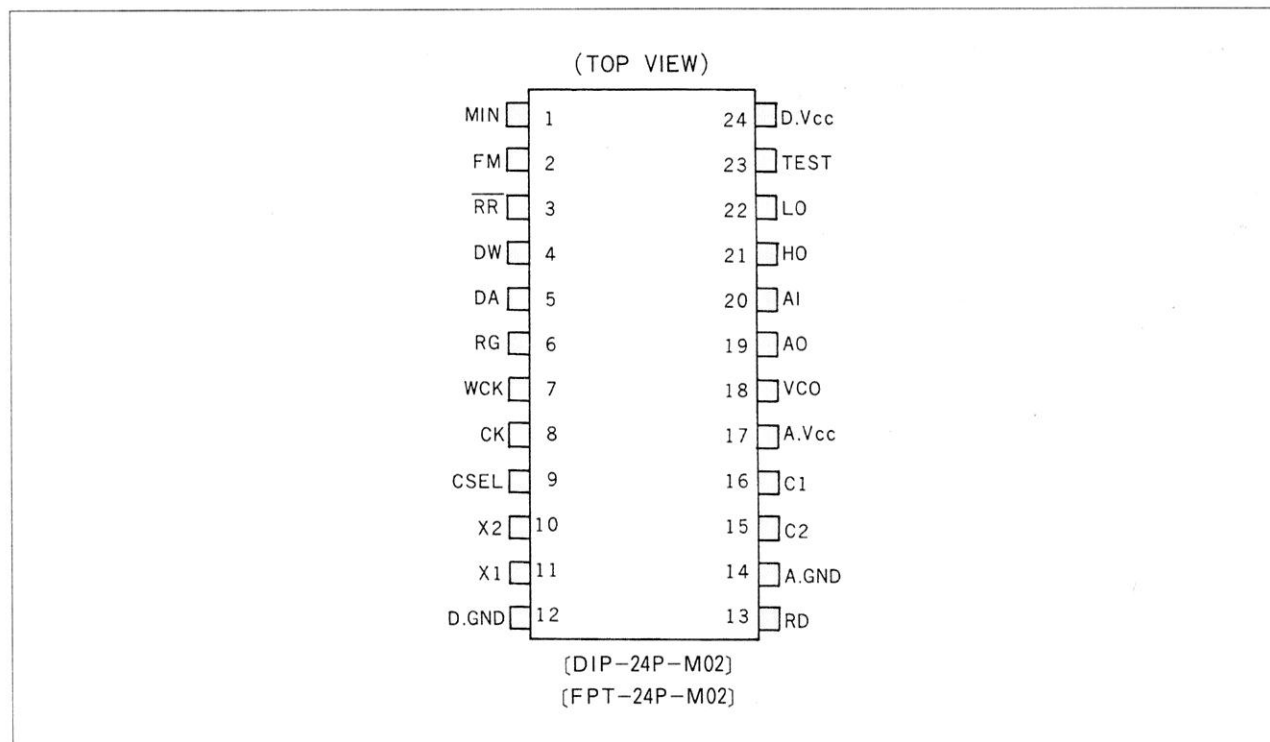
MB4107A

■特 長

・外付け部品が少なく，無調整化が図られています。

- ・8MHz 水晶発振 R ; 7 個 C ; 5 個 水晶振動子またはセラミック振動子
- ・8MHz 外部クロック R ; 5 個 C ; 3 個

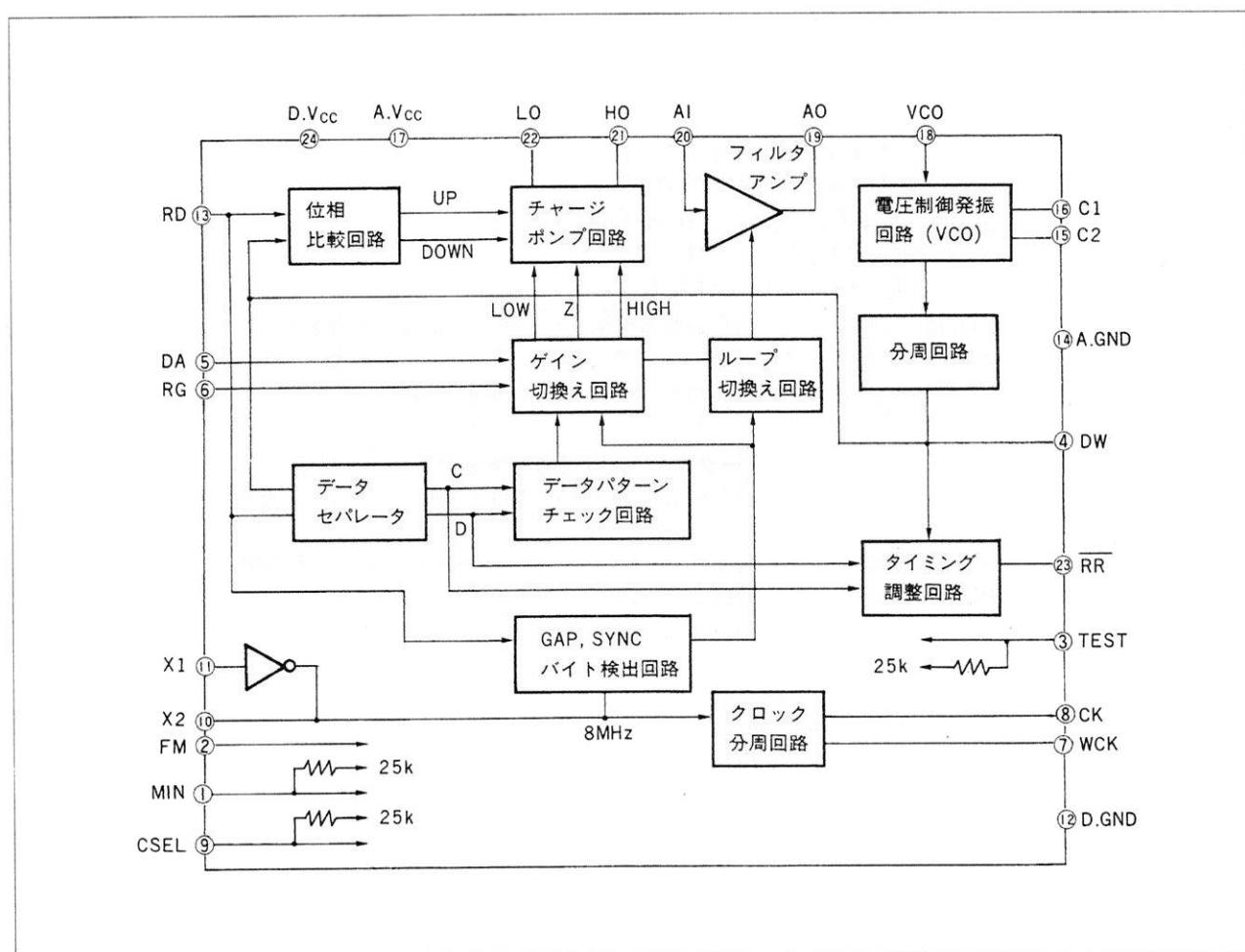
■端子配列図



■入出力信号とその機能

端子番号	端子名	機 能 説 明
1	MIN	5インチフロッピーディスク, 8インチフロッピーディスクの切換え用入力端子。 (プルアップ抵抗内蔵) ・5インチフロッピーディスク(MIN); “H” ・8インチフロッピーディスク(STD); “L”
2	FM	単密度, 倍密度の記録方式の切換え用入力端子。 ・単密度(FM方式); “H” ・倍密度(MFM方式); “L”
3	$\overline{RR}$	FDDからのRD信号から作られる再生リードデータ信号の出力端子。 FDCへDW信号と共に送り, データパルスとクロックパルスとに分離される。
4	DW	$\overline{RR}$ 信号をデータパルスとクロックパルスとに分離するためのデータウィンドウ信号出力端子。
5	DA	RG信号がない場合, データフィールドを指示するための入力端子。 DA=“H”でPLLをLow Gainにし続ける。RGとDAはどちらか一方を使用し, 未使用端子は“L”とする。
6	RG	Read Gate(MB8877A系) またはVCO Sync (μ PD765系) 用の入力端子。RG=“H”で, PLLをLow Gainにし続ける。
7	WCK	μ PD765系FDC用書込みクロック。 ・8インチ/MFM; T=1 μ s ・8インチ/FM; T=2 μ s ・5インチ/MFM; T=2 μ s ・5インチ/FM; T=4 μ s
8	CK	FDC用クロック出力端子。 ・MB8877A系/ 8インチ; 2MHz ・MB8877A系/ 5インチ; 1MHz ・ μ PD765系/ 8インチ; 8MHz ・ μ PD765系/ 5インチ; 4MHz
9	CSEL	FDCの種別に対する切換え用入力端子。(プルアップ抵抗内蔵) ・MB8877A, FD1791系; “H” ・ μ PD765系; “L”
10	X2	(1) 水晶発振回路における反転増幅器の出力端子。 (2) 8MHz外部クロック使用時は開放。
11	X1	(1) 水晶発振回路における反転増幅器の入力端子。 (2) 8MHz外部クロック使用時の入力端子。
12	DGND	VCO, フィルタアンプ部を除くデジタル系のGND。
13	RD	フロッピーディスクドライブからの生リードデータ入力端子。
14	AGND	VCO, フィルタアンプ等アナログ系のGND。
15	C1	VCOの発振周波数を設定するための外付け容量接続端子。
16	C2	
17	AV _{cc}	VCO, フィルタアンプ等アナログ系の電源供給端子。
18	VCO	VCOへ印加する制御電流入力端子。
19	AO	VFO(PLL)回路におけるLPF用アンプの出力端子。
20	AI	VFO(PLL)回路におけるLPF用アンプの入力端子。
21	HO	VFO(PLL)回路におけるLPF用アンプに接続される出力端子。 シンクフィールド検出から周波数引き込み時に選択され, “H”でVCOの発振周波数を下げ, “L”で逆に上げる。(High Gain)
22	LO	VFO(PLL)回路におけるLPF用アンプに接続される出力端子。 周波数引き込み完了後に選択され, 位相同期を行う。“H”でVCOの発振位相を遅らせ, “L”で逆に進ませる。(Low Gain)
23	TEST	LSIの機能テストに用いられる端子であり, 通常はオープンかプルアップする。
24	DV _{cc}	デジタル系の電源供給端子。

■ブロックダイアグラム



■機能説明

(1) 位相比較回路

VCO の発振信号 (2MHz 標準) を分周した DW (データウィンドウ信号) の中心と FDD から RD (リードデータ信号) の立上がりとの位相差を検出する回路です。

(2) チャージポンプ回路

位相比較回路からの位相差信号に応じた位相進みパルス、又は位相遅れパルスを発生します。位相比較回路を含めた標準外付定数での変換利得係数 K_p は以下のとおりです。

$$\text{HO 端子: } K_p \approx 1/2\pi \quad [\text{V/rad}]$$

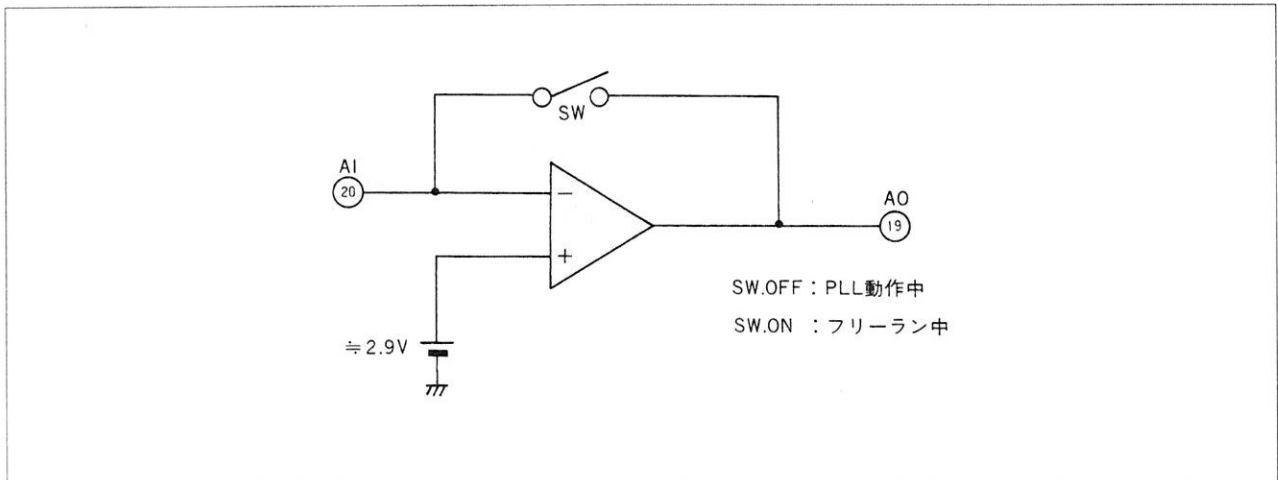
$$\text{LO 端子: } K_p \approx 1.2/2\pi \quad [\text{V/rad}]$$

(3) フィルターアンプ回路、ループ切換え回路

PLL フィードバックループ系でのアクティブ LPF (Low Pass Filter) を構成するための反転入力アンプです。オープンループ利得 A_v は以下のとおりです。

$$A_v = 23\text{dB} \quad [\text{標準}]$$

なお、PLL が引き込み動作を行わない時は VCO の発振周波数を中心周波数 (2MHz) に戻すため、AI 端子と AO 端子は IC 内部で接続され AO 端子にはフィルターアンプの正相入力端子電圧 (IC 内部の基準電圧: 約 2.9 V) が出力されます。



(4) 電圧制御発振回路 (VCO)

標準接続での中心周波数: $f_{FR} = 2\text{MHz}$ で, 変換利得係数 K_v (AO 端子換算) は次のとおりです。

$$K_v = 8.5 \times 10^6 \text{ [rad/secV]}$$

また中心周波数を微修正する場合の発振周波数 f_{FR} と R_5 , C_3 の関係は下式のとおりです。

$$f_{FR} \approx \frac{3.7 \times 10^5}{(R_5 - 300) \times (C_3 - 2)} \text{ [MHz]} \quad [R_5 \text{ in } \Omega, C_3 \text{ in pF}]$$

(5) 分周回路

VCO の発振信号から各モードでのデータウィンドウ (DW) を作るための分周比 N と DW の周波数 f_{DW} は下表のとおりです。

	STD	MIN
MFM	$N=4$ $f_{DW}=500\text{kHz}$	$N=8$ $f_{DW}=250\text{kHz}$
FM	$N=8$ $f_{DW}=250\text{kHz}$	$N=16$ $f_{DW}=125\text{kHz}$

(6) GAP, SYNC バイト検出回路

MFM での GAP データ '4E' と SYNC データ '00', 及び FM での GAP データ 'FF' と SYNC データ '00' とを識別するための回路です。周期 T_1 以下のリードデータ信号 (RD) が約 1 バイト連続して続いたとき, MFM では SYNC, FM では GAP とみなしこの識別信号により PLL のループの ON/OFF を行ないます。

	STD	MIN
T_1	$2.5 \mu\text{s}$	$5.0 \mu\text{s}$

T_1 は 8MHz のクロック (X1, X2 端子) を分周して作られるため, X1 を外部クロックにすることにより T_1 を変えることが可能です。

(7) データセパレータ回路

FDD からのクロックとデータの混合したリードデータ (RD) 信号をデータウィンドウ信号 (DW) を使いデータ信号とクロック信号とに分離するための回路です。

(8) データパターンチェック回路

分離されたシリアルな信号とクロック信号を1バイトごとにパターンチェックするための回路です。チェックパターンは、シンクパターンおよび各マーカパターンでミッシングクロックもチェックします。

(9) ゲイン切換え回路

PLLのゲイン切換え回路。シンクフィールドでHigh Gainを選択するとリードデータ信号(RD)にVCOが高速でロックし(約1~2バイト)、その後MFMMでシンク4バイト、FMでシンク2バイト検出後Low Gainに自動的に切換わります。

Low Gainは、ピークシフトのような高周波の位相ずれには追従せず、回転変動などのゆるやかな位相変動にのみ追従するようPLLのループフィルターの振幅、位相特性を設定しています。

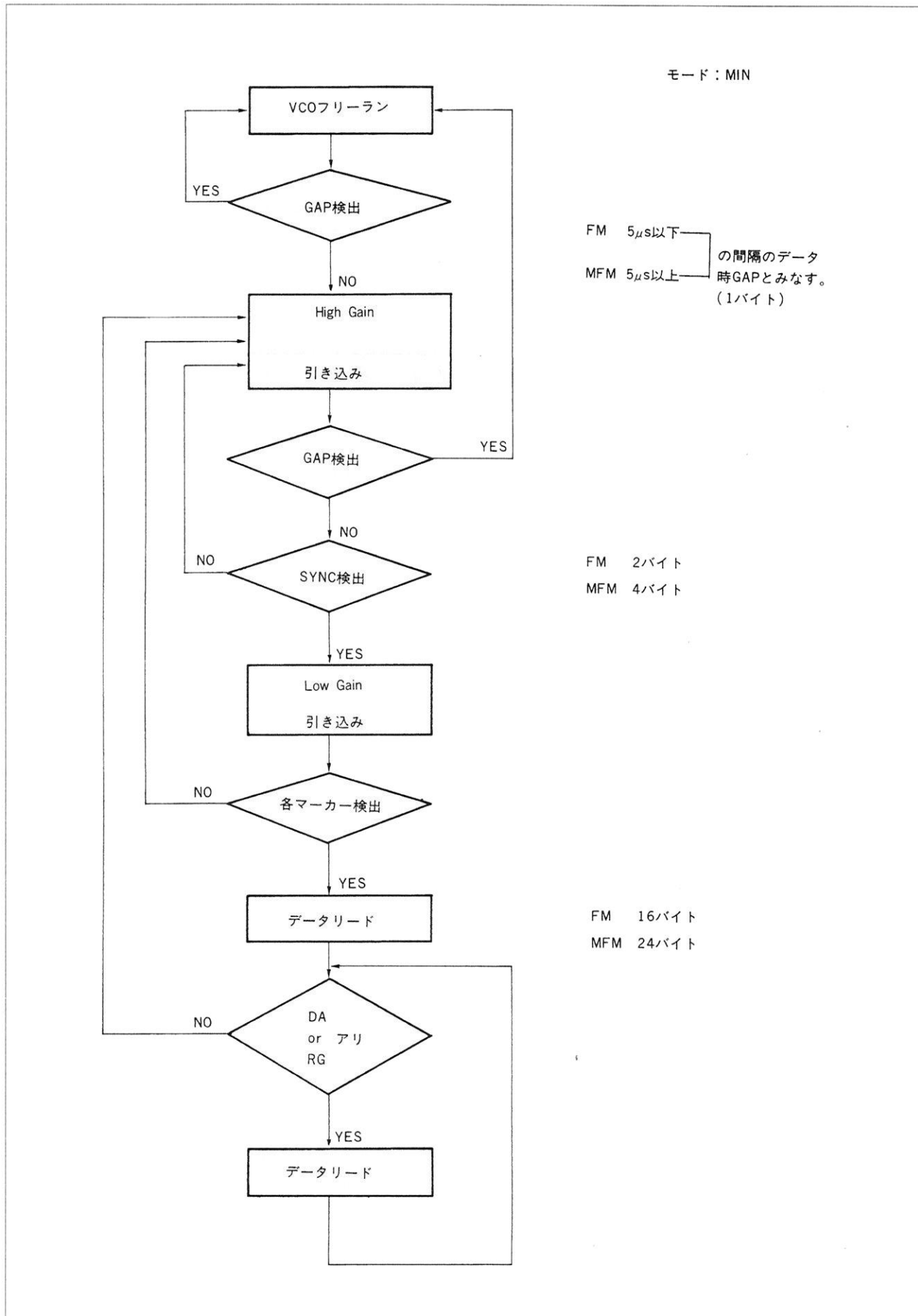
(10) タイミング調整回路

FDDからのリードデータ信号(RD)はピークシフトによりデータウィンドウ信号(DW)の中心に対しビットごとに位相が前後していますが、これを常にDWの中心にくるようにデータおよびクロック(RR信号)を再生するための回路です。

(11) クロック分周回路

8MHzのクロック(X1,X2端子)からFDC用のクロック(CK,WCK)を発生するための回路です。

■動作フロー



MB4107A

■最大定格

$T_a=25^{\circ}\text{C}$

項 目	記 号	条 件	定 格 値	単 位
電 源 電 圧	V_{CC}		7	V
ロジック入力電圧	V_{IN}		7	V
許 容 電 力	P_D	$T_a \leq 75^{\circ}\text{C}$	550	mW
保 存 温 度	T_{stg}		$-55 \sim 125$	$^{\circ}\text{C}$

■推奨動作条件

項 目	記 号	最 小 値	標 準 値	最 大 値	単 位
電 源 電 圧	V_{CC}	4.75	5.00	5.25	V
動作温度範囲	T_{op}	-20	25	75	$^{\circ}\text{C}$

■電気的特性

1. 直流特性

$V_{CC}=5V, T_a=25^{\circ}C$

項 目	記 号	条 件		規 格 値			単位	適用 端子	注
				最小値	標準値	最大値			
電 源 電 流	I _{CC}	V _{CC} = 5.25V		—	70	100	mA	V _{CC}	1
“H”レベル入力電圧	V _{IH}	V _{CC} = 4.75~5.25V T _a = -20~75℃		2.0	—	—	V	MIN, FM, DA, RG, CS, X1, RD	
“L”レベル入力電圧	V _{IL}			—	—	0.8	V		
“H”レベル入力電流	I _{IH}	V _{CC} = 5.25V, V _I = 2.7V		—	—	20	μA	FM, DA, RG, X1, RD	
最大入力電圧時の電流	I _I	V _{CC} = 5.25V, V _I = 7.0V		—	—	0.1	mA		
“L”レベル入力電流	I _{IL}	V _{CC} = 5.25V, V _I = 0.4V		-400	-20	—	μA		
開 放 入 力 電 圧	V _{IP}			4.85	5.0	—	V	MIN, CS	
“L”レベル入力電流	I _{ILP}	V _I = 0		-1.1	-0.6	—	mA		
“H”レベル出力電圧1	V _{OH1}	V _{CC} = 4.75V, I _{OH} = -1.2mA T _a = -20~75℃		2.7	3.3	—	V	RR, DW	2
“L”レベル出力電圧1	V _{OL1}	V _{CC} = 4.75V T _a = -20~75℃	I _{OL} = 12mA	—	0.28	0.4	V		3
			I _{OL} = 24mA	—	0.35	0.5	V		
出 力 短 絡 電 流 1	I _{OS1}	V _{CC} = 5.25V T _a = -20~75℃		-30	—	-160	mA		2
“H”レベル出力電圧2	V _{OH2}	V _{CC} = 4.75V, I _{OH} = -0.4mA T _a = -20~75℃		2.7	3.3	—	V	WCK, CK	2
“L”レベル出力電圧2	V _{OL2}	V _{CC} = 4.75V T _a = -20~75℃	I _{OL} = 4mA	—	0.28	0.4	V		3
			I _{OL} = 8mA	—	0.35	0.5	V		
出 力 短 絡 電 流 2	I _{OS2}	V _{CC} = 5.25V T _a = -20~75℃		-20	—	-110	mA		2
“H”レベル出力電圧3	V _{OH3}	V _{CC} = 4.75V, I _{OH} = -0.4mA T _a = -20~75℃		2.7	3.3	—	V	X2	2
“L”レベル出力電圧3	V _{OL3}	V _{CC} = 4.75V, I _{OL} = 1mA T _a = -20~75℃		—	0.28	0.4	V		3
高 出 力 電 圧	V _{HH}	I _{OH} = -1mA		3.3	3.7	—	V	HO	2
低 出 力 電 圧	V _{LH}	I _{OL} = 1mA		—	2.0	2.4	V		3
高 出 力 電 圧	V _{HL}	I _{OH} = -0.2mA		3.8	4.2	—	V	LO	2
低 出 力 電 圧	V _{LL}	I _{OL} = 0.2mA		—	1.5	1.9	V		3
VCOフリーラン周波数	f _{FR}			1.6	2.0	2.4	MHz		

注1: V_{CC} は A. V_{CC} と D. V_{CC} を接続。

注2: 出力段を“H”状態に設定。

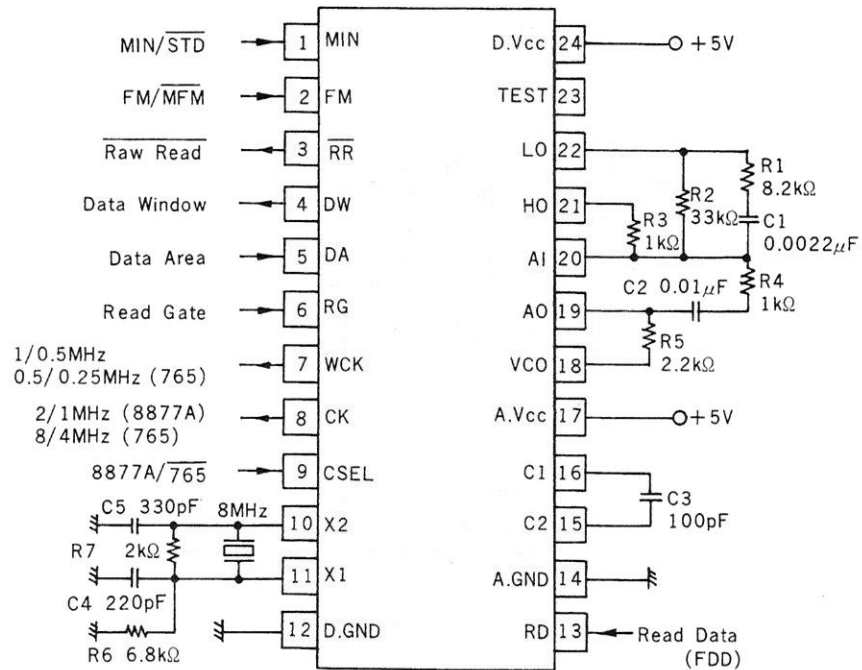
注3: 出力段を“L”状態に設定。

2. 交流特性

$V_{CC}=5V, f_{X1}=8MHz$

端子名	項目	記号	条件	規格値			単位
				最小値	標準値	最大値	
CK	立ち上がり時間	T_r	$C_L=25pF$	—	3	—	ns
	立ち下がり時間	T_f		—	2	—	
	周波数	f_{CK}	CSEL="H" MIN="L"	—	2	—	MHz
			MB8876A系 MIN="H"	—	1	—	
			CSEL="L" MIN="L"	—	8	—	
			μ PD765系 MIN="H"	—	4	—	
	デューティレシオ	DR_{CK}	CSEL="H" $C_L=25pF$	—	50	—	%
			CSEL="L"	—	50	—	
WCK	立ち上がり時間	T_r	$C_L=25pF$	—	3	—	ns
	立ち下がり時間	T_f		—	2	—	
	サイクルタイム	T_{CY}	MIN="L" MFM="H"	—	1	—	μs
			MFM="L"	—	2	—	
			MIN="H" MFM="H"	—	2	—	
			MFM="L"	—	4	—	
	"H"レベル幅	T_{WH}	MIN="L" MFM="H"	—	125	—	ns
			MFM="L"	—	125	—	
			MIN="H" MFM="H"	—	250	—	
			MFM="L"	—	250	—	
DW	立ち上がり時間	T_r	$C_L=25pF$	—	3	—	
	立ち下がり時間	T_f		—	2	—	
	ウィンドウ幅 ("H"レベル幅)	T_w	MIN="L" MFM="H"	—	1	—	μs
			MFM="L"	—	2	—	
			MIN="H" MFM="H"	—	2	—	
			MFM="L"	—	4	—	
$\overline{RR}$	立ち上がり時間	T_r	$C_L=25pF$	—	3	—	ns
	立ち下がり時間	T_f		—	2	—	
	"L"レベル幅	T_{WL}	MIN="L" MFM="H"	—	0.25	—	μs
			MFM="L"	—	0.5	—	
			MIN="H" MFM="H"	—	0.5	—	
			MFM="L"	—	1	—	
	DW中心からのずれ	T_D		—	10	—	ns
RD	"H"レベル幅	T_{WH}		50	—	—	
X1	外部クロックduty比	D_{EXT}	$f_{X1}=8MHz/9.6MHz$	40	50	60	%

■標準接続例

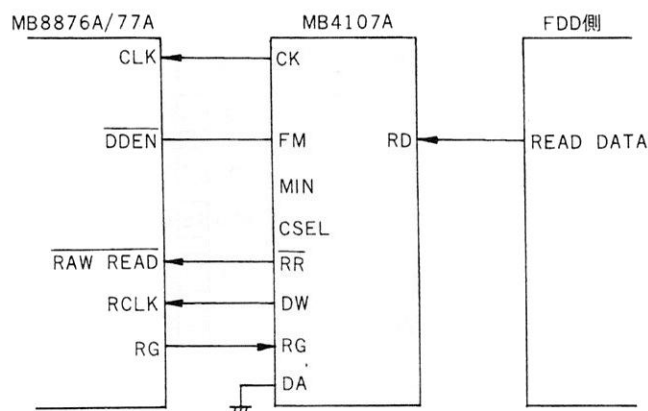


* C3(±5%), R5(±1%), 他 C(±10%), R(±5%)

* 8MHz水晶発振または8MHzの外部クロックはVFO内部での要求精度が±1%のため、
WCK, CKで特に精度要求がない場合、セラミック振動子の使用も可能です。

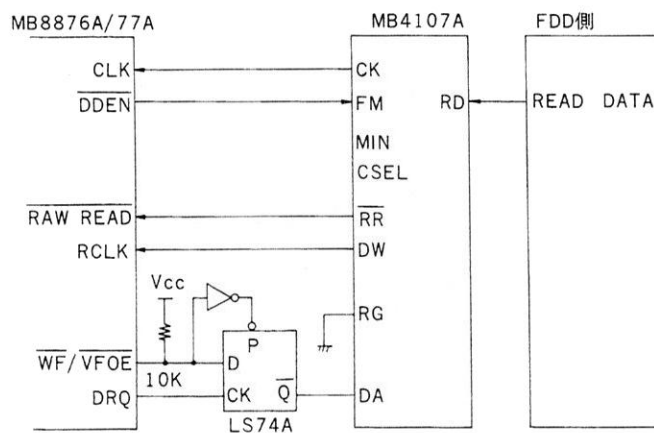
■外部接続回路例

1. MB8876A/77A について
- 1-1 Read Gate を使用した場合



注意点

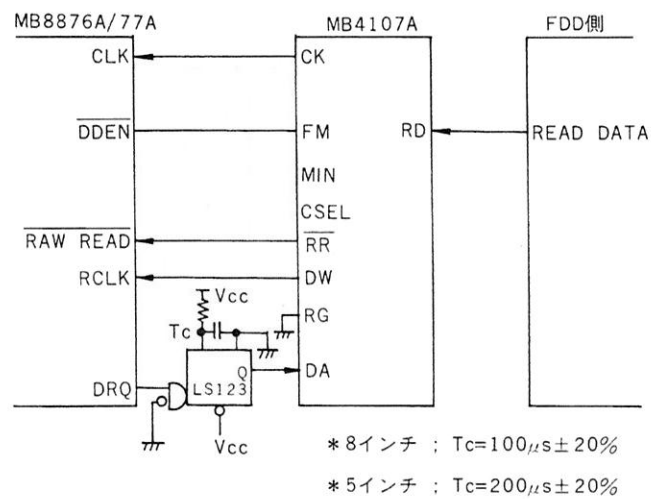
リードトラックコマンドを使用する場合, RG 信号が出力されないためデータを読み取ることができません。
この様な場合, 下記回路を推奨いたします。



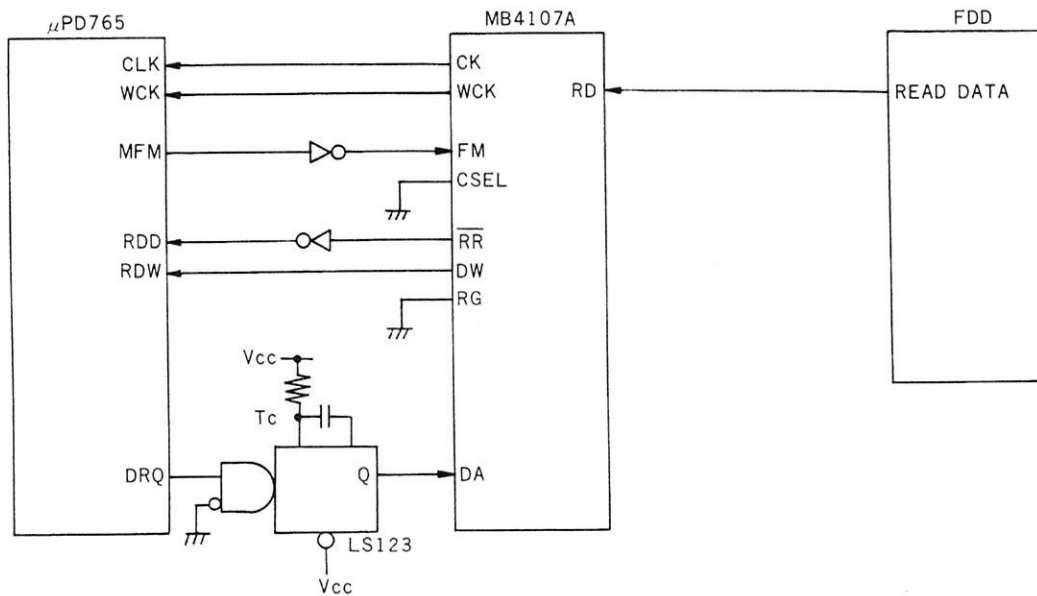
注意点

リードトラックコマンドを実行した場合でも, MB4107AはWF/VFOE, DRQ 信号により制御されるため正確なデータの読み込みが行えます。

1-2 Data Request を使用した場合



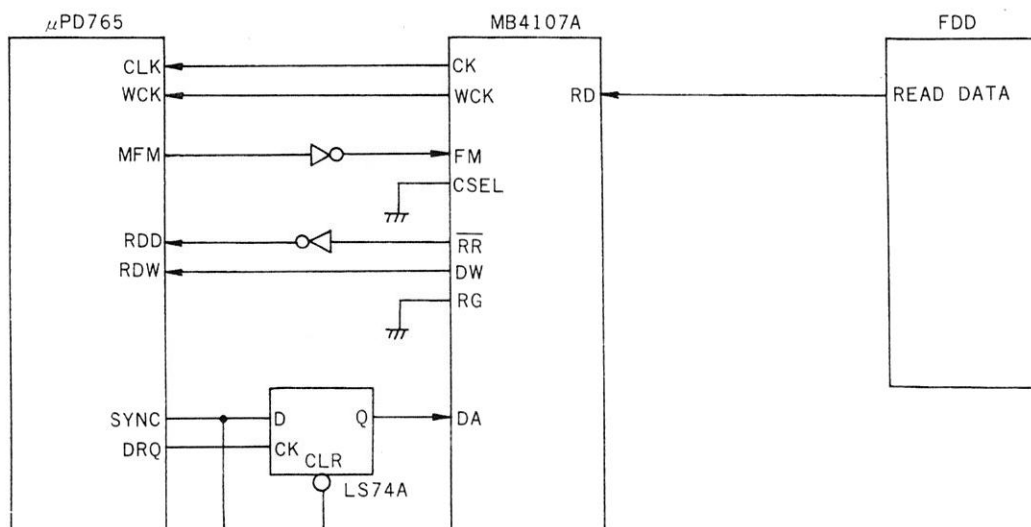
2. μ PD765 について



8 インチ/5 インチ (2HD) ; $T_c = 100 \mu s \pm 20\%$
 5 インチ (D,2D) ; $T_c = 200 \mu s \pm 20\%$

注意点

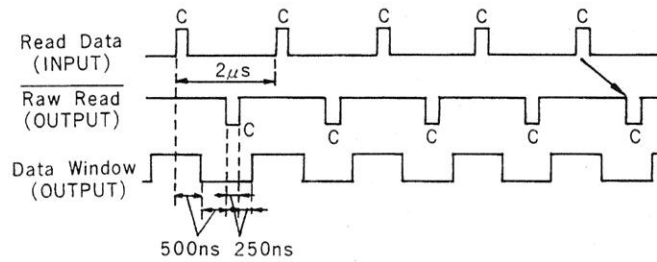
セクターの部分リード・モードで使用了場合、セクター内のデータの途中で DRQ 信号が無くなるため、それ以降のデータおよび CRC が正確に読み取ることができず、CRC エラーが出ます。
 この様な場合、下記回路を推奨いたします。



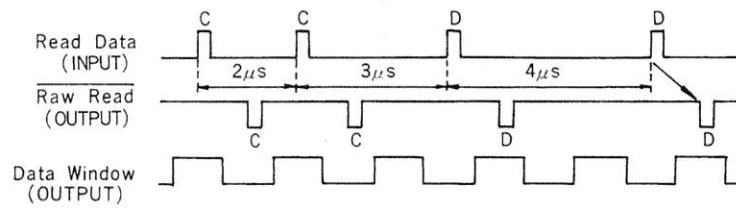
上記接続回路は、リードデータのロックのスタートは MB4107A がコントロールを行い、データの続きと終りは DRQ 信号と VCO Sync 信号に依存しておりますので正確なデータの読み込みが行えます。

■ タイミングチャート

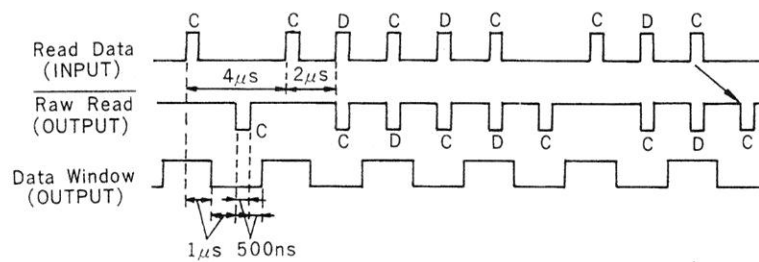
(1) 8 インチ, MFM, High Gain (シンクフィールド)



(2) 8 インチ, MFM, Low Gain



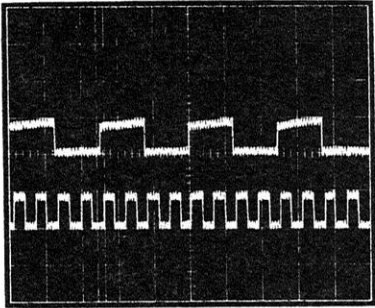
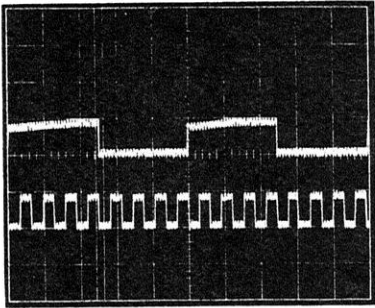
(3) 8 インチ, FM, Low Gain



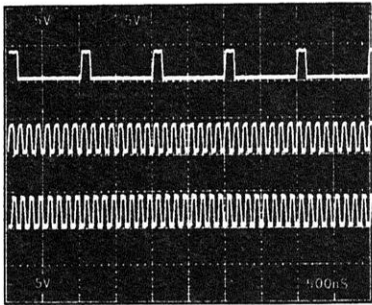
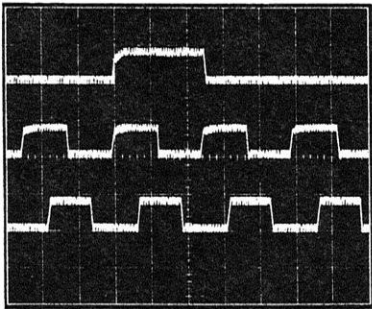
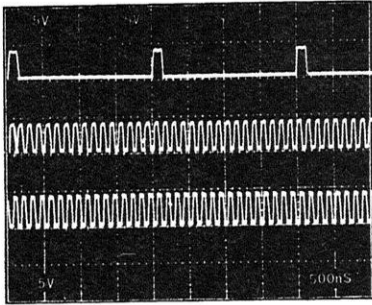
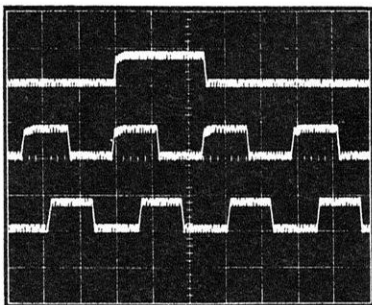
・ 5 インチの場合は、時間が上記の 2 倍になります。

・ C ; クロック, D ; データ

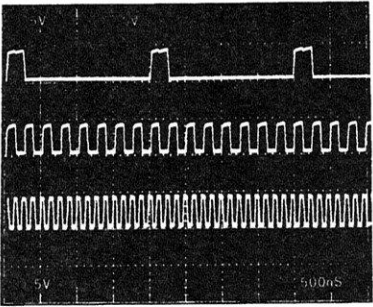
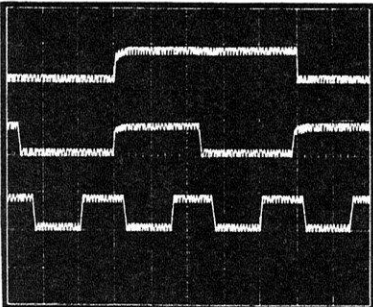
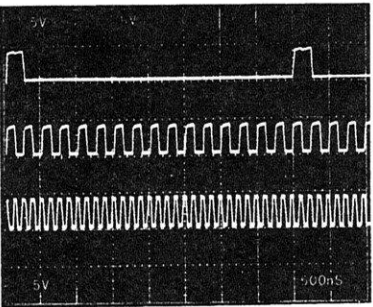
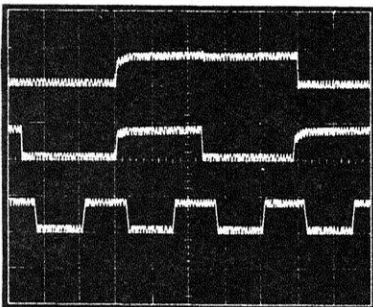
■CK, WCK のタイミング (外部クロック入力)

モード	入出力	タイミング
CSEL="H" MB8876A MB8877A STD MFM/FM	CK X1	
CSEL="H" MB8876A MB8877A MIN MFM/FM	CK X1	

縦軸 5V/div., 横軸 200ns/div.

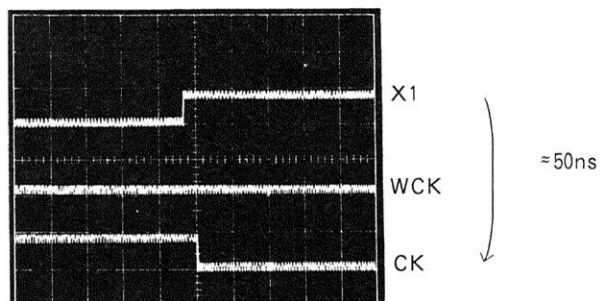
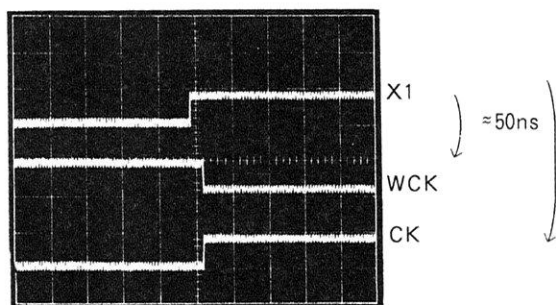
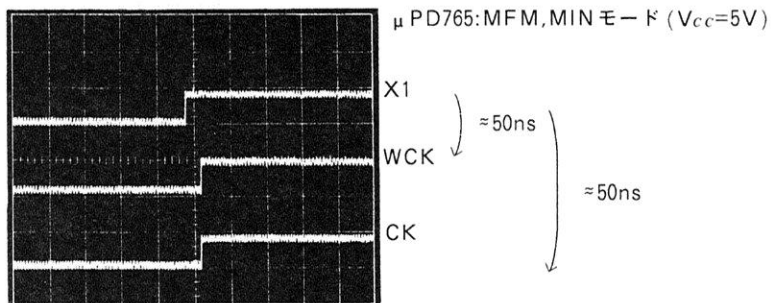
モード	入出力	タイミング	(拡大)
CSEL="L" (μPD765) STD MFM	WCK CK X1		
CSEL="L" (μPD765) STD FM	WCK CK X1		

縦軸 5V/div., 横軸 500ns/div., 50ns/div. (拡大)

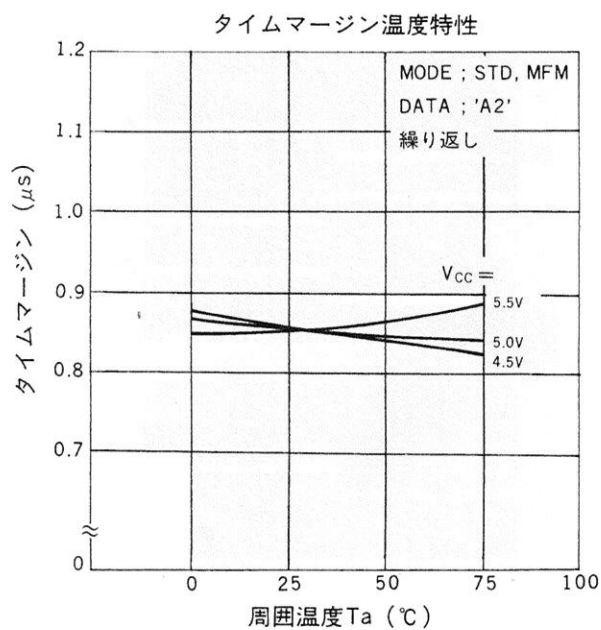
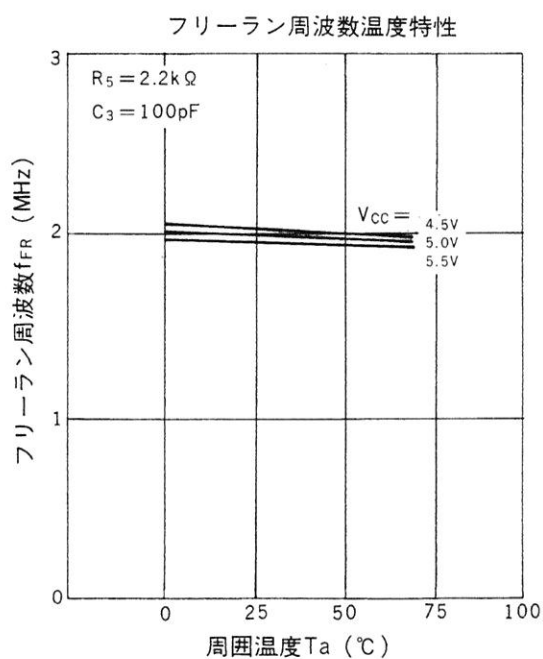
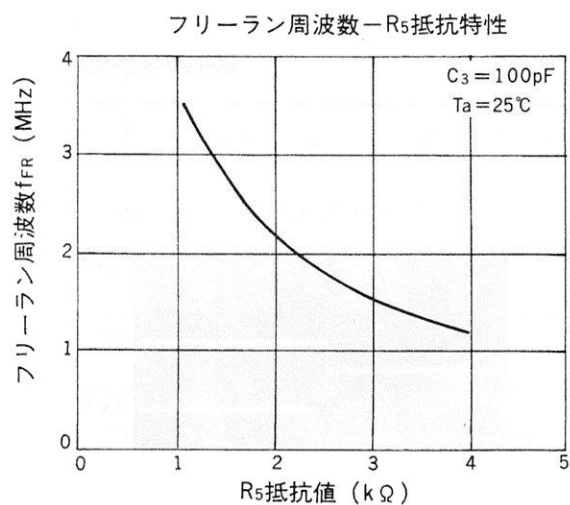
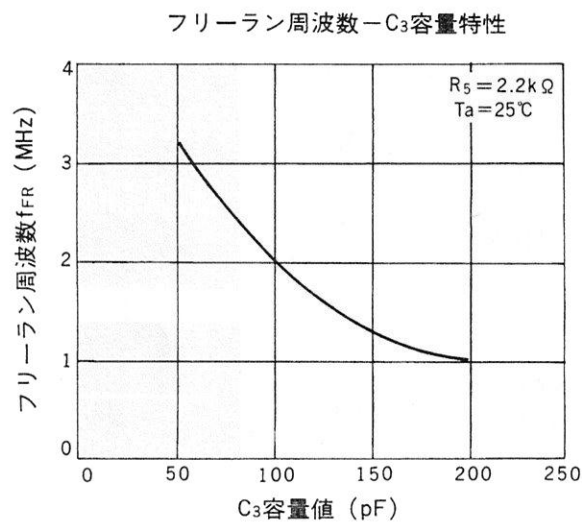
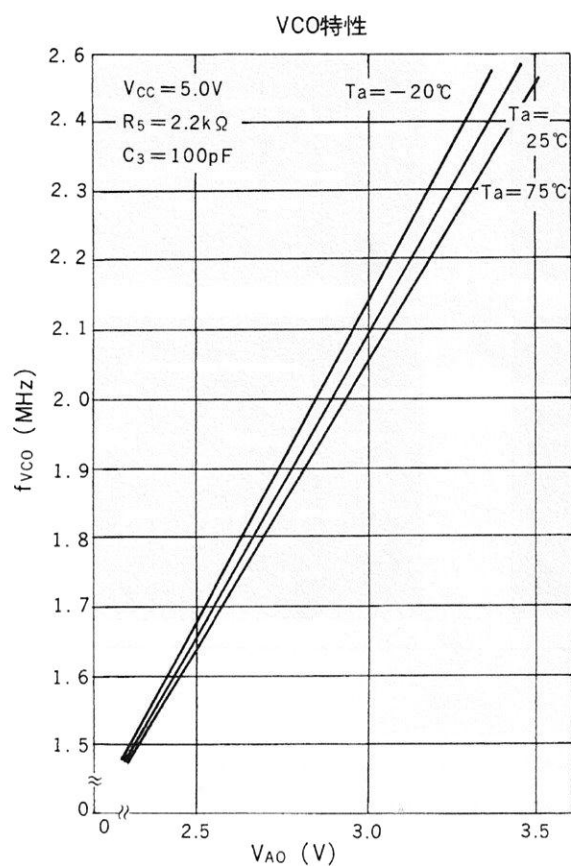
モード	入出力	タイミング	(拡大)
CSEL="L" (μ PD765) MIN MFM	WCK CK X1		
CSEL="L" (μ PD765) MIN FM	WCK CK X1		

縦軸 5V/div., 横軸 500ns/div., 50ns/div. (拡大)

入力クロックに対する CK, WCK の遅れ (縦軸 5V/div., 横軸 100ns/div.)

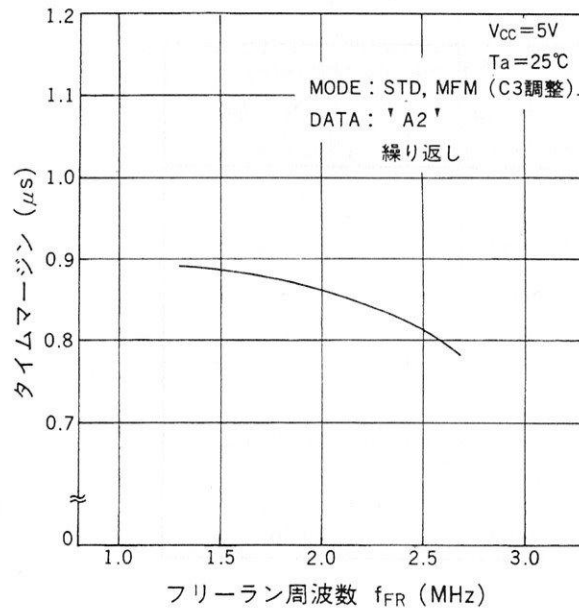


■標準特性曲線

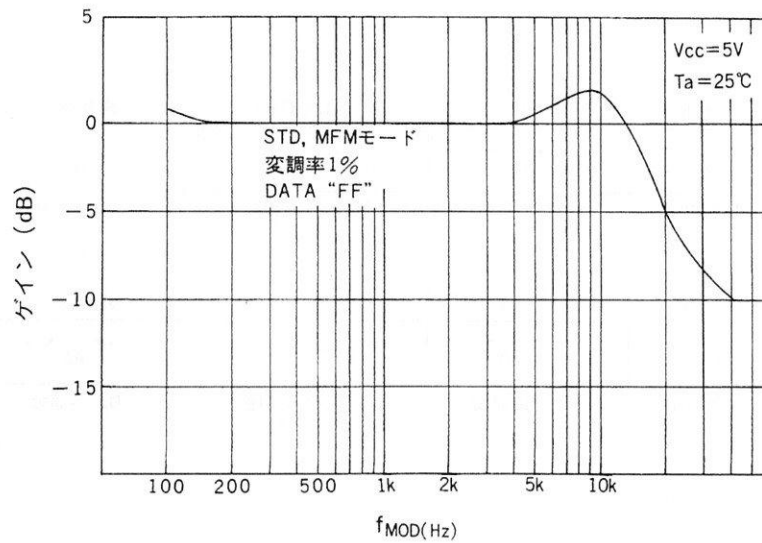


■標準特性曲線

タイムマージン—フリーラン周波数特性



リードデータ変調入力に対するAO (VCOコントロール電圧) ゲイン周波数特性



■アプリケーション

1. PLL 特性

1-1 キャプチャーレンジ

モード		キャプチャーレンジ(kbits/s)	
		下限値 (中心から%)	上限値 (中心から%)
MIN	MFМ	205 (-18%)	375 (+50%)
	FM	100 (-20%)	185 (+48%)
STD	MFМ	410 (-18%)	745 (+49%)
	FM	205 (-18%)	365 (+46%)

1. 外部から下図の擬似的な RD を入力し、データが正常に読み取り可能なクロックレートを引き込み可能なキャプチャーレンジの下限値, 上限値と定義しました。

	1バイト	12バイト	4バイト	繰り返し
MFМ時	' 4E '	' 00 '	各マーカー	' A2 '
	GAP領域	SYNC領域	MARKER領域	DATA領域
	1バイト	6バイト	1バイト	繰り返し
FM時	' FF '	' 00 '	各マーカー	' A2 '
	GAP領域	SYNC領域	MARKER領域	DATA領域

2. 低周波側でキャプチャーレンジが狭いのは, GAP 検出回路により低周波側では ' 00 ' を GAP とみなし引き込み動作に入らないためです。

1-2 ロックレンジ

モード		ロックレンジ(kbits/s)	
		下限値 (中心から%)	上限値 (中心から%)
MIN	MFM	180 (-28%)	385 (+54%)
	FM	90 (-28%)	195 (+56%)
STD	MFM	360 (-28%)	770 (+54%)
	FM	180 (-28%)	385 (+54%)

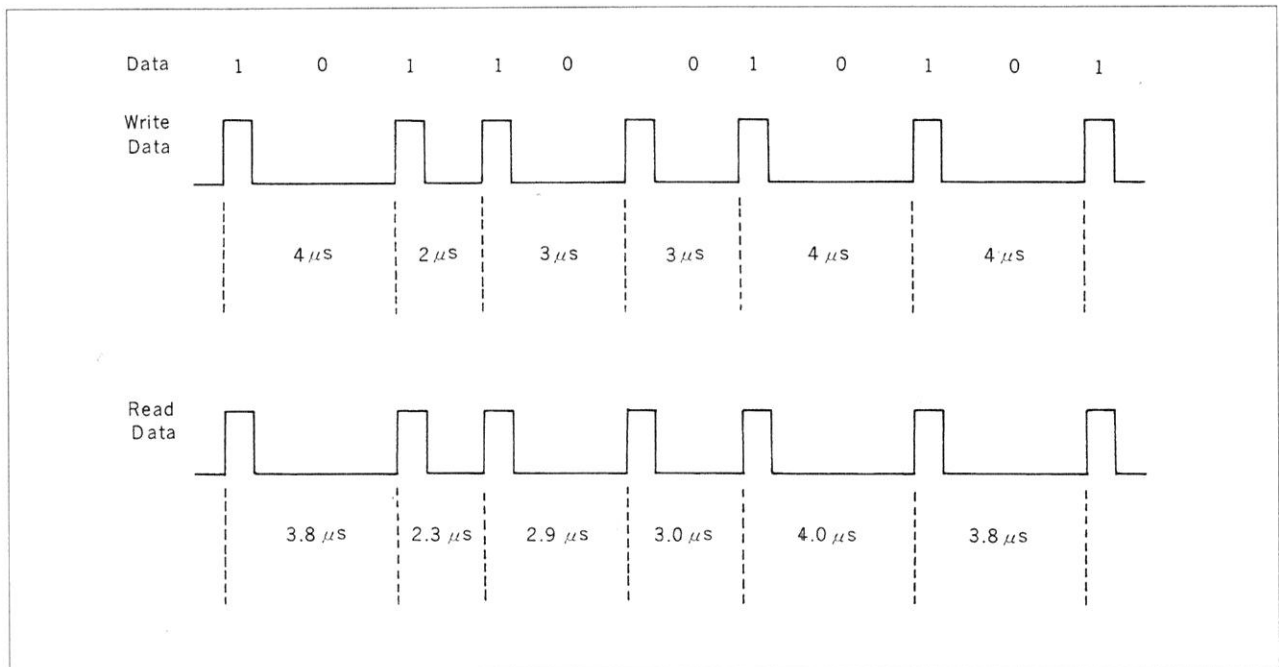
データ 'FF' での同期保持範囲をロックレンジとします。

2. タイムマージン(ビットジッター許容量)

2-1 ビットジッター概要

フロッピー・ディスク・ドライブから読み出されたデータは、ディスクの回転ムラやディスク上でのデータ同士の相互干渉によるピークシフトのため、書き込み時と同じタイミングでは再生されず多くのジッターを含んでいます。

(例) STD,MFM での 'B2' データの場合 (80 トラック)



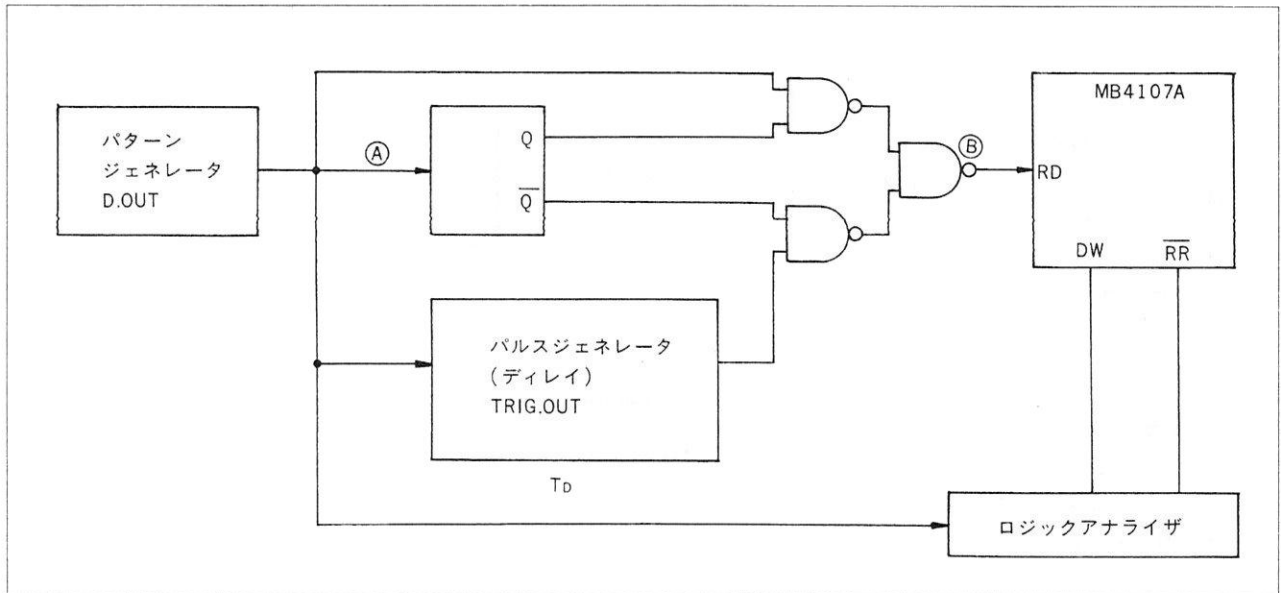
上記例では約 $\pm 0.2 \mu s$ のジッターを含んでいます。

VFOはこの揺れ動くデータに追従して、正確に元のデータを再生するためのウィンドウ信号とデータ信号を作ります。タイムマージンはこのジッター許容量の幅で、STD,MFM タイプでは理想状態で $1 \mu s$ の幅です。

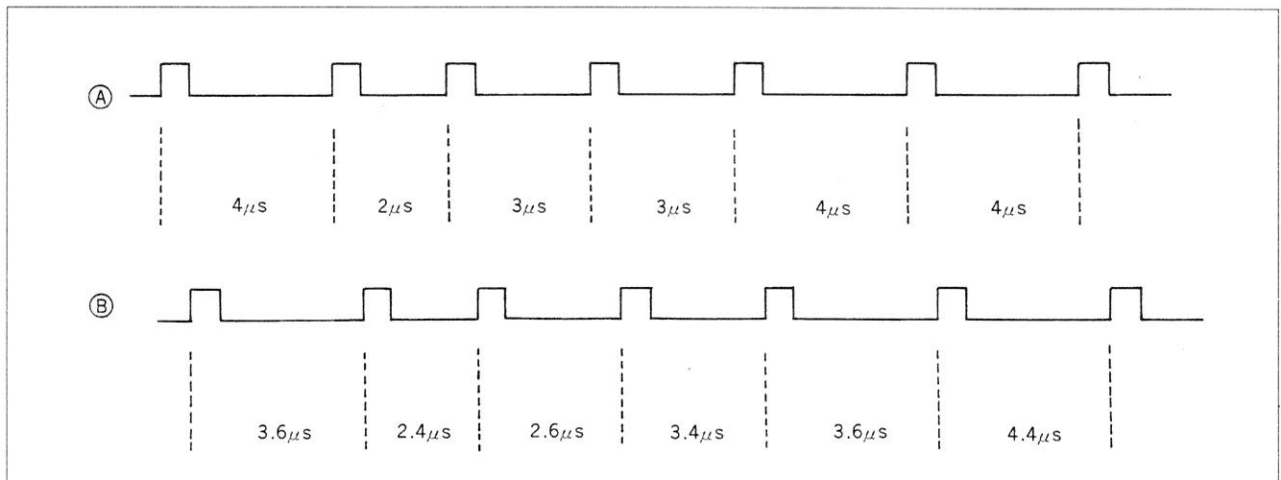
2-2 タイムマージン測定方法

タイムマージンは下図に示されるような回路により測定します。

まず、パターンジェネレータで任意なデータパターン列を作ります。タイミングはライト時と同じ正規なタイミングで出力します。それを一定時間 (T_D) 遅らせたビットと遅らせないビットを作り、これらを交互に混合した信号を作ります。この信号を VFO のリードデータ信号とします。このときディレイ回路の (T_D) を調整して強制的にビットジッターを作り、正確に再生できるジッタの範囲をロジックアナライザで確認します。この範囲がタイムマージンとなります。



(例) STD, MFM “B2” データ : $T_D = 0.4 \mu s$ の場合



ビットごとにジッターを与える方法のため、ウィンドウ幅をコントロールして測定する方法や1ビットのみにディレイを与えて測定する方法に比べ、より FDD からのデータでの評価に近い値が得られます。

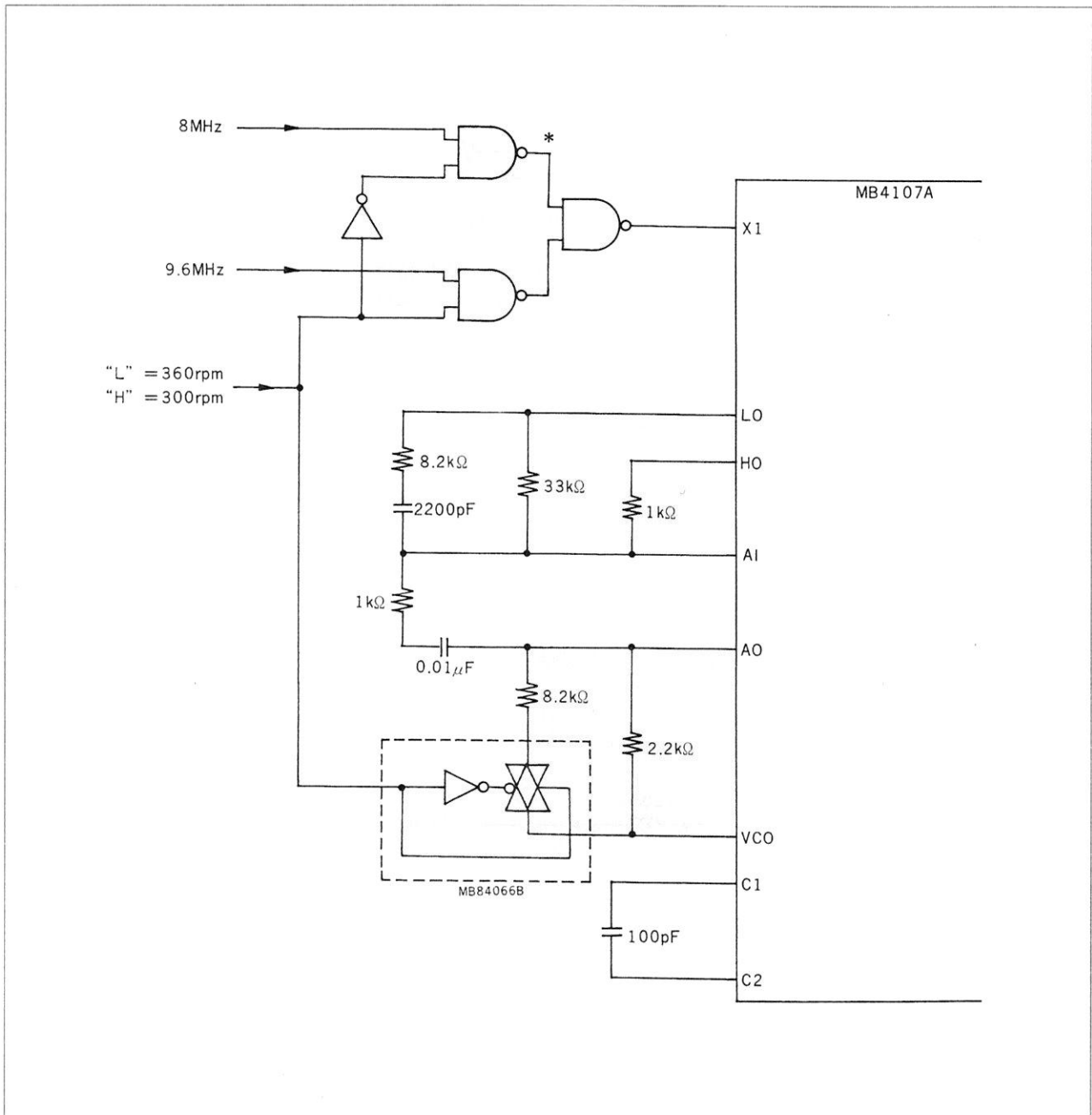
2-3 測定結果

STD/ MIN	MFM/ FM	タイムマージン(標準) T_D
STD	MFM	$0.84 \mu s$
	FM	$1.76 \mu s$
MIN	MFM	$1.84 \mu s$
	FM	$3.60 \mu s$

3. 媒体の回転速度を変えずに 300rpm と 360rpm 両ドライブのデータを 360rpm で読む場合。

300rpm の回転速度で書かれたデータを 360rpm の回転速度で読む場合、データのビットレートが通常より 20% 上昇しています。それに対応するための VFO の変更点は以下の 2 点です。

1. GAP/SYNC 検出用時間を 20% 短縮する。 : 8MHz のクロックを 9.6MHz のクロックに変更する。
2. VCO の中心周波数を 20% 上昇する。 : R_5 (通常 $2.2k\Omega$) を小さくし ($\approx 1.8k\Omega$) VCO のフリーラン周波数を 2MHz から 2.4MHz に変更する。



* 前記クロック切換え回路では切換えに際し X1 入力信号にハザードが入ることがありますが、MB4107A 自体は異常ロック等に陥ることはなく問題ありません。また、CSEL="H" (MB8876A, MB8877A モード) 時には CK 信号出力にもハザードの入ることはありません。しかし、CSEL="L" (μ PD765 モード) 時にはハザードが入りえますので CK, WCK 使用時は注意が必要です。そのため、クロック切換え時には FDC 側をリセット状態にして下さい。

■実装上の注意点

1. クロック回路

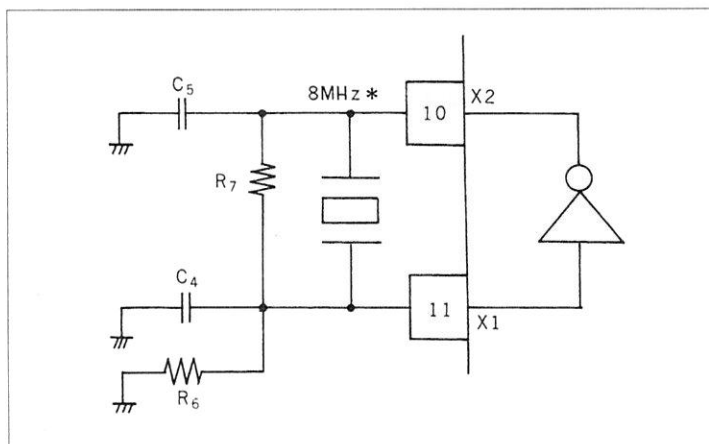
(1) 水晶発振回路

$$C_1 = 220\text{pF} \pm 10\%$$

$$C_5 = 330\text{pF} \pm 10\%$$

$$R_6 = 6.8\text{k}\Omega \pm 5\%$$

$$R_7 = 2\text{k}\Omega \pm 5\%$$



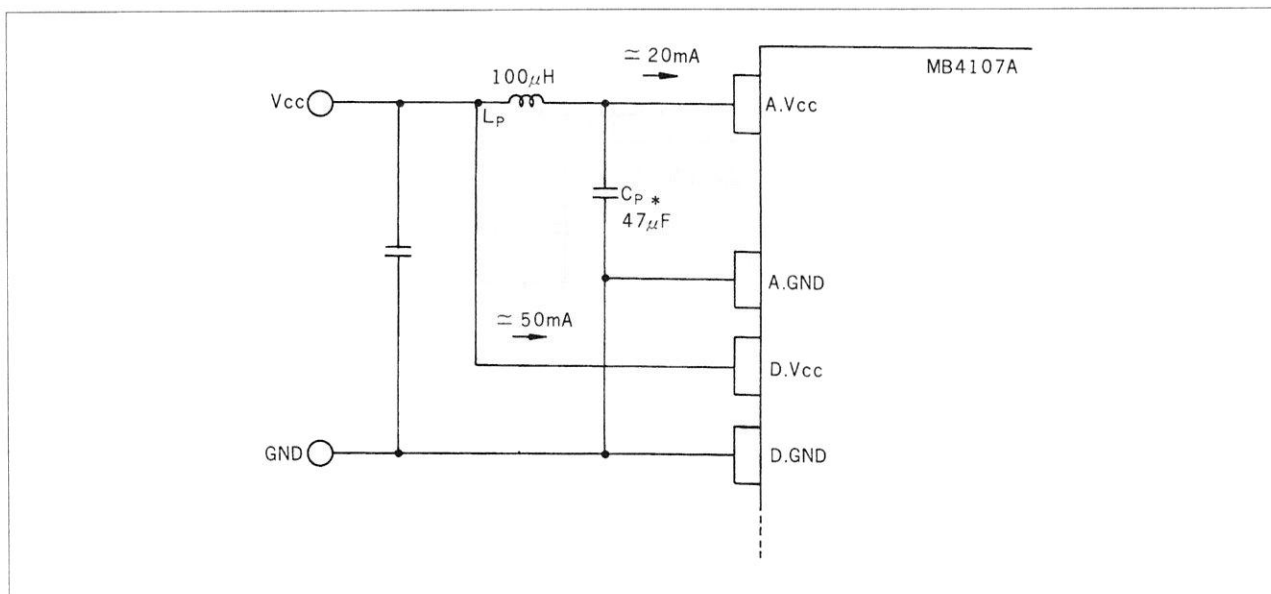
* 8MHz のクロックは GAP, SYNC 検出と FDC 用のクロックに使用しているのみで、VFO の位相比較特性やタイムマージン特性とは無関係です。そのため、VFO として必要な発振周波数精度は $\pm 1\%$ のため、CK, WCK で特に精度が必要な場合セラミック振動子の使用も可能です。

(2) 外部クロック入力

外部から 8MHz のクロック入力を行なう場合、X1 端子に入力し、X2 端子は開放にしてください。入力振幅は通常の TTL レベルです。

2. タイムマージン

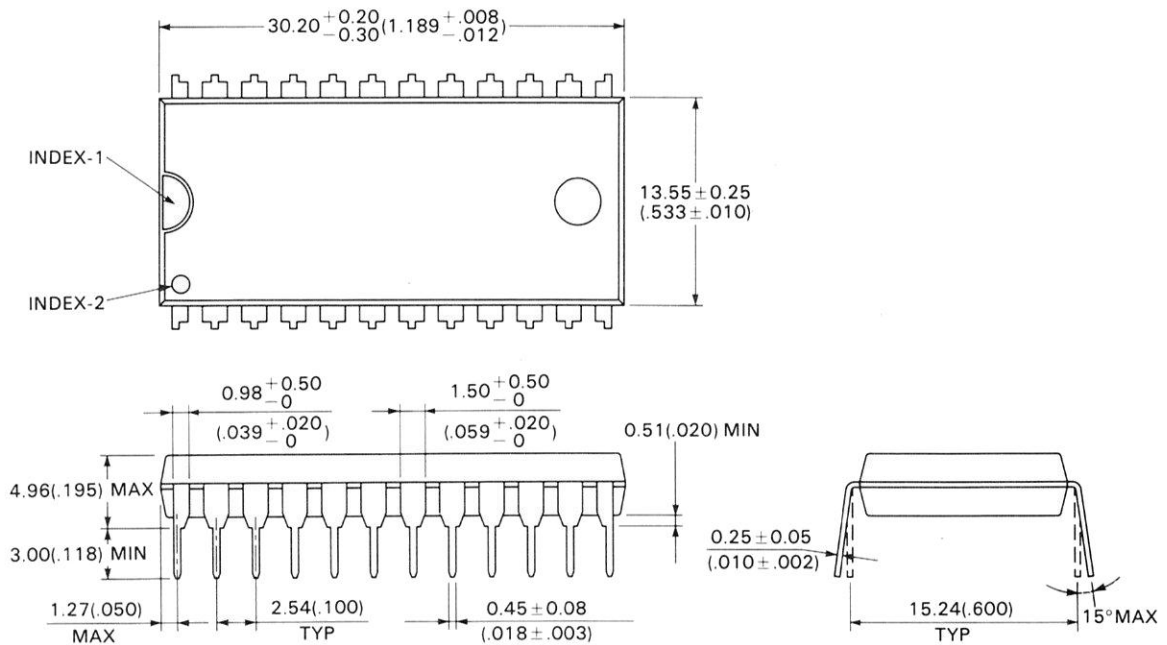
VCO 部およびフィルターアンプ部はアナログ回路のため、他のデジタル回路とは V_{cc} および GND を分離しています。特に、アナログ部はタイムマージンに影響するため外来ノイズには十分注意する必要があります。そのため、外来ノイズが大きい場合やタイムマージンとして前述のデータに近い値を必要とする場合、A. V_{cc} には下記フィルターを入れることを推奨します。



* 共通インピーダンスによる D.GND から A.GND への影響を少なくするため、 C_p は A.GND, A. V_{cc} の近傍に接続して下さい

■外形寸法図

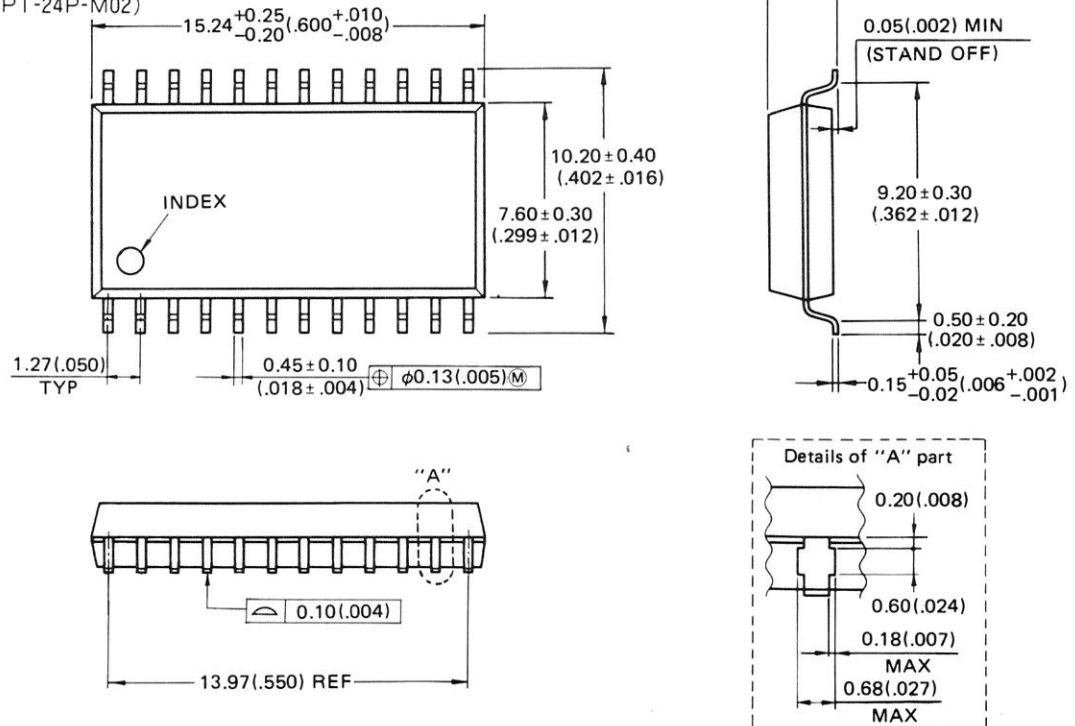
プラスチック・DIP, 24ピン
(DIP-24P-M02)



© 1990 FUJITSU LIMITED D24015S-2C-2

單位：mm (inches)

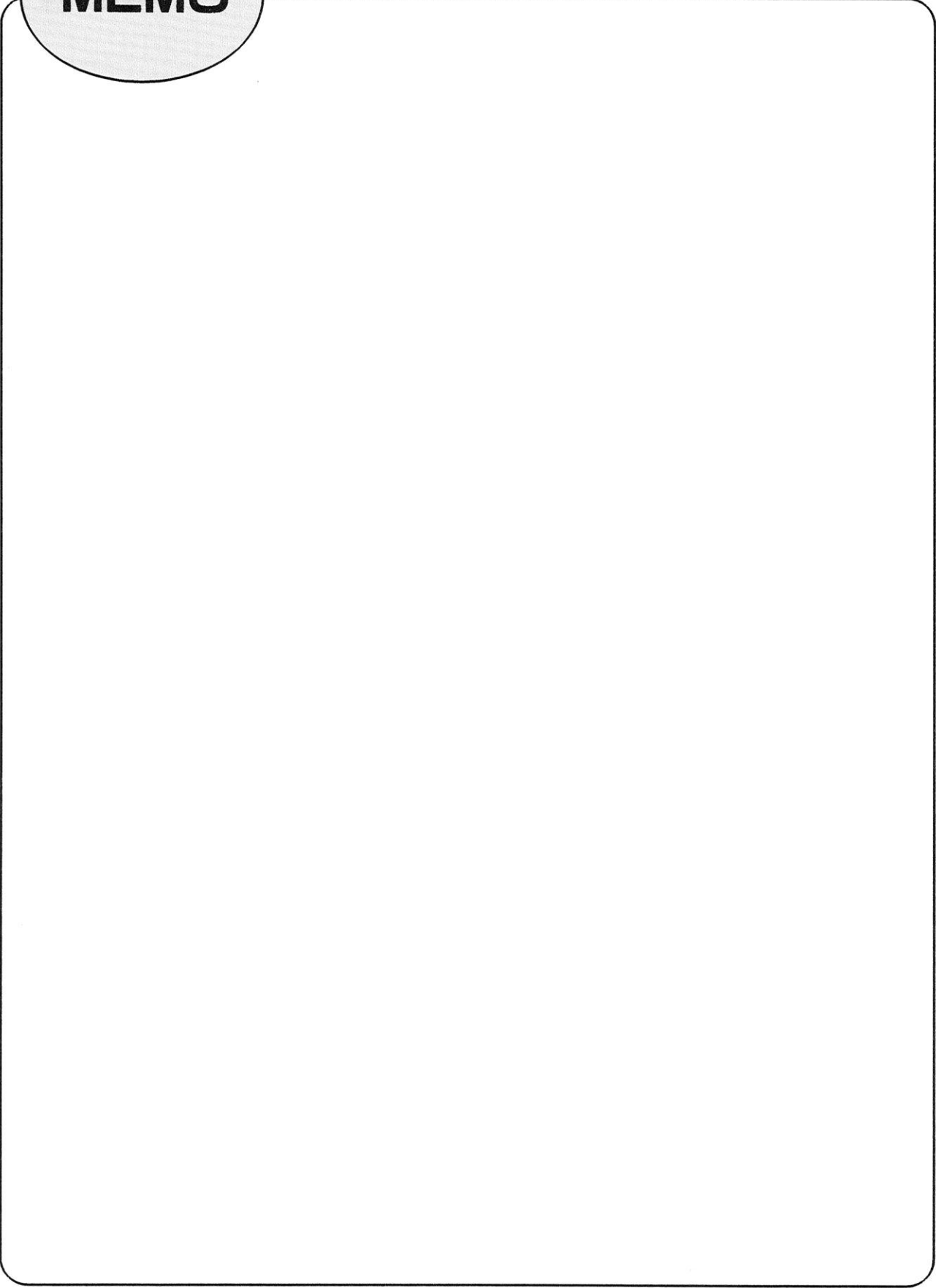
プラスチック・SOP, 24ピン
(FPT-24P-M02)



© 1990 FUJITSU LIMITED F24008S-4C-2

單位：mm (inches)

MEMO



MEMO

MEMO

富士通株式会社

電子デバイス事業本部

〒100 東京都千代田区丸の内2-6-1 (古河総合ビル)

電子デバイス第一統括営業部	〒100	東京都千代田区丸の内2-6-1 (古河総合ビル)	Tel. 東京(03) 216-3211(代)
電子デバイス第二統括営業部			
東北支店 電子デバイス販売部	980	仙台市青葉区一番町2-2-13 (仙建ビル)	仙台(022) 264-2131
金沢支店 電子デバイス販売課	920	金沢市尾山町1-8 (朝日生命金沢ビル)	金沢(0762) 63-7621
長野支店 電子デバイス販売部	380	長野市岡田町215-1 (日本生命長野ビル)	長野(0262) 26-8222
松本支店 電子デバイス販売部	390	松本市深志1-1-2 (朝日生命松本ビル)	松本(0263) 36-7511
静岡支店 電子デバイス販売部	420	静岡市紺屋町15-4 (静岡新聞別館)	静岡(0542) 54-9131
名古屋支店 電子デバイス販売部	460	名古屋市中区錦1-19-24 (名古屋第一ビル)	名古屋(052) 201-8611
京都支店 電子デバイス販売部	604	京都市中京区三条通烏丸西入御倉町64 (KB ANNEXビル)	京都(075) 255-3211
大阪支店 電子デバイス販売部	530	大阪市北区堂島1-5-17 (堂島グランドビル)	大阪(06) 344-1101
広島支店 電子デバイス販売課	730	広島市中区基町13-7 (朝日ビル)	広島(082) 221-2288
九州支店 電子デバイス販売部	812	福岡市博多区博多駅前1-5-1 (朝日生命福岡ビル)	福岡(092) 411-6311

お問い合わせ先

本資料の記載内容は、予告なしに変更することがありますので、御用命の際は上記営業担当部門に御確認下さい。

本資料に記載された情報・図面の使用に起因する第三者の特許権、その他の権利侵害について、当社はその責任を負いません。

本資料に記載の全製品ならびにそれに関する消耗品等及び役務について、御購入の際、消費税が付加されますので御承知をお願いします。

本製品は、「外国為替及び外国貿易管理法」に基づく戦略物資等(または特定技術)に該当します。従って、本製品またはその一部を輸出する場合には、同法に基づく許可が必要とされます。